

F

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-300014

(43)Date of publication of application : 12.11.1993

(51)Int.Cl.

H03L 7/18
H03L 7/06
H03L 7/091

(21)Application number : 04-104786

(71)Applicant : HITACHI LTD

(22)Date of filing : 23.04.1992

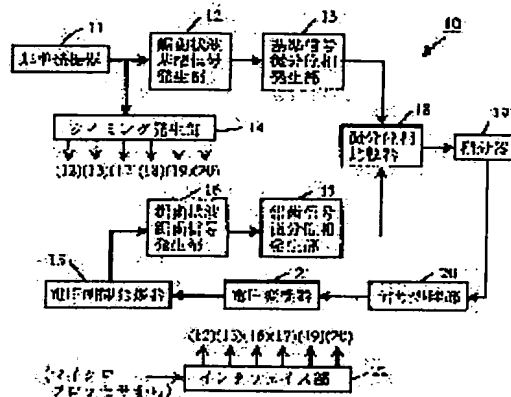
(72)Inventor : NAKAGAWA JUNICHI
KOKUBO MASARU
KUROSAWA MICHIAKI

(54) FREQUENCY SYNTHESIZER

(57)Abstract:

PURPOSE: To reduce the circuit scale of a phase correction device by integrating a differentiation phase difference between reference differentiation phase information and differentiation phase information obtained from phase information extracted from a voltage/current controlled oscillator so as to obtain a phase error.

CONSTITUTION: A reference oscillator 11 generates a tooth-shaped wave reference signal with a prescribed frequency and a differentiation phase is obtained by extracting phase information from a reference signal differentiation phase generating section 13. The output of a VCO 15 is a tooth-shaped wave signal and the differentiation phase is obtained by extracting the phase information from a tooth-shaped wave signal differentiation phase generating section 17. A differentiation phase comparator 18 obtains the difference of the differentiation phases from the generating sections 13, 17 and gives the differentiation phase difference to an integrator 19. the integrator 19 integrates the differentiation phase difference to obtain a phase error and the phase error is used to control the oscillating frequency of the VCO via a signal processing section 20 and a voltage converter 21. Thus, the phase jump of 2p caused in the phase error signal is eliminated to reduce the circuit scale.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-300014

(43)公開日 平成5年(1993)11月12日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L 7/18 7/06 7/091		9182-5 J 9182-5 J	H 0 3 L 7/ 18 7/ 06	Z B
審査請求 未請求 請求項の数16(全 21 頁) 最終頁に続く				

(21)出願番号 特願平4-104786

(22)出願日 平成4年(1992)4月23日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 中川 准一

東京都千代田区神田駿河台四丁目6番地

株式会社日立製作所内

(72)発明者 小久保 優

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 黒沢 迪彰

東京都千代田区神田駿河台四丁目6番地

株式会社日立製作所内

(74)代理人 弁理士 富田 和子

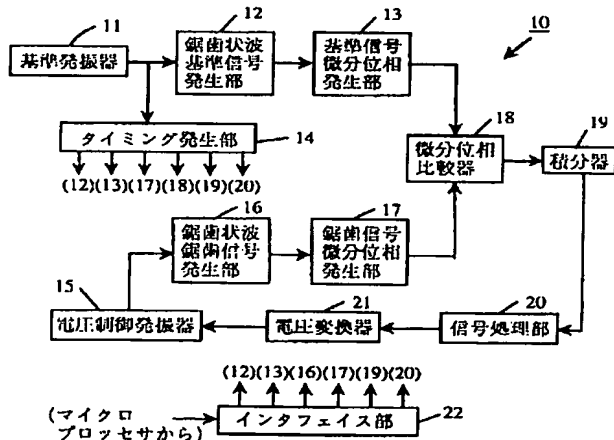
(54)【発明の名称】 周波数シンセサイザ

(57)【要約】 (修正有)

・【目的】 位相情報を直流化する回路を不要とし、位相情報の正規化処理をなくして正規化に伴う誤差を除き、標準化周波数の非整数倍の周波数を正確に、高速で発生する。

・【構成】 電圧／電流制御発振器15の発振信号を繰返し周波数 f_{r1} (f_{r1} は、指示された周波数を f_v としたときに、 $f_v = N \cdot f_{r1}$ の関係にある)で、1周期あたり、指示された発振周波数を決定するために設定される N (N は自然数)回標準化して位相情報を金属歯信号発生部16から出力し、位相情報を、周期 $1/(mK f_{r1})$ (K および m は自然数)毎に標準化して前後する位相情報を比較して微分位相を求めて、求めた微分位相を mK 倍して微分位相情報を微分位相発生部17から出力し、該微分位相情報と基準微分位相情報である mN とを微分位相比較器18で比較して微分位相差を求め、該微分位相差を積分して位相誤差を求めることにより、発振信号の周波数を制御する。

図1 (本発明の基本実施例を示すブロック図)



1

・【特許請求の範囲】

・【請求項 1】電圧あるいは電流により発振周波数を制御して発振信号を出力する電圧／電流制御発振器と、所定の周波数の基準信号を出力する基準発振器とを有して位相同期ループを構成して発振周波数を制御する周波数シンセサイザにおいて、

前記基準発振器の基準信号から位相情報を抽出し、微分位相を求めて出力する基準信号微分位相発生手段と、前記電圧／電流制御発振器の発振信号から位相情報を抽出し、微分位相を求めて出力する発振信号微分位相発生手段と、前記基準信号微分位相発生手段からの微分位相と、前記発振信号微分位相発生手段からの微分位相との差を求めて該微分位相差を出力する微分位相比較器と、前記微分位相差を積分して位相誤差を求めて出力する積分器と、前記積分器の出力信号に信号処理を行なう信号処理部と、前記信号処理部の出力信号を電圧あるいは電流に変換する変換器とを有することを特徴とする周波数シンセサイザ。

・【請求項 2】請求項 1 において、前記発振信号微分位相発生手段は、前記電圧／電流制御発振器の発振信号を標本化して位相情報を抽出し、位相情報を鋸歯状波形にして繰返し発生する鋸歯信号発生部と、前記鋸歯信号発生部の鋸歯状波形の位相情報に基づいて、微分位相を求めて出力する鋸歯信号微分位相発生部とを備えることを特徴とする周波数シンセサイザ。

・【請求項 3】請求項 2 において、前記鋸歯信号発生部は、前記発振信号に基づいて、繰返し周波数 f_r (ただし、 f_r は任意の周波数) で、1 周期あたり H (ただし、 H は自然数) 回標本化して位相情報を鋸歯状波形にして鋸歯信号を出力し、

前記鋸歯信号微分位相発生部は、前記鋸歯信号発生部からの鋸歯信号の前後する位相情報を比較して微分位相を求めて微分位相情報を出力し、

前記基準信号微分位相発生手段は、前記基準発振器の基準信号を標本化して位相情報を抽出し、位相情報を鋸歯状波形にして繰返し発生する鋸歯状基準信号発生部と、前記鋸歯状基準信号発生部の鋸歯状波形の位相情報に基づいて、微分位相を求めて出力する基準信号微分位相発生部とを備え、

前記鋸歯状基準信号発生部は、前記基準信号に基づいて、繰返し周波数 f_r で、1 周期あたり H 回標本化して基準信号の位相情報を鋸歯状波形にして鋸歯信号を出力し、

前記基準信号微分位相発生部は、前記鋸歯状基準信号発生部からの鋸歯信号の前後する位相情報を比較して微分位相を求めて微分位相情報を出力することを特徴とする周波数シンセサイザ。

・【請求項 4】請求項 2 において、鋸歯信号発生部は、前記発振信号に基づいて、繰返し周波数 f_{r1} (ただし、 f_{r1} は、電圧／電流制御発振器において発振させたい周波

2

数を f_v としたときに、 $f_v = N \cdot f_{r1}$ の関係にある)

で、1 周期あたり、前記電圧／電流制御発振器の発振信号の発振周波数を決定するために設定される N (ただし、 N は自然数) 回標本化して位相情報を鋸歯状波形にして鋸歯信号を出力し、

鋸歯信号微分位相発生部は、前記鋸歯信号発生部からの鋸歯信号を周期 $1 / (mK f_{r1})$ (ただし、 K および m は自然数) 毎に標本化して位相情報を抽出し、前後する位相情報を比較して微分位相を求めて、求めた微分位相を mK 倍して微分位相情報を出力し、

基準信号微分位相発生部は、微分位相情報として mN を出力することを特徴とする周波数シンセサイザ。

・【請求項 5】請求項 4 において、前記鋸歯信号発生部は、分周数 N の分周器を備え、分周器は、 N までの計数を繰返し、計数値を出力し、 N まで計数したときにはキャリを出力し、

前記鋸歯信号微分位相発生部は、前記分周器からキャリが出力された場合は、それを補正した差分を鋸歯信号微分位相情報として出力することを特徴とする周波数シンセサイザ。

・【請求項 6】請求項 2 において、鋸歯信号発生部は、前記発振信号に基づいて、繰返し周波数 f_{r1} (ただし、 f_{r1} は、電圧／電流制御発振器において発振させたい周波数を f_v としたときに、 $f_v = N \cdot f_{r1}$ の関係にある)

で、1 周期あたり、前記電圧／電流制御発振器の発振信号の発振周波数を決定するために設定される N (ただし、 N は自然数) 回標本化し、最大位相情報 CN (ただし、 C は自然数) の鋸歯状波形を有する鋸歯信号を出力し、

鋸歯信号微分位相発生部は、前記鋸歯信号発生部からの鋸歯信号を周期 $1 / (K f_{r1})$ (ただし、 K は自然数) 毎に標本化して位相情報を抽出し、前後する位相情報を比較して微分位相を求めて、求めた微分位相を K 倍して微分位相情報を出力し、

基準信号微分位相発生部は、微分位相情報として CN を出力することを特徴とする周波数シンセサイザ。

・【請求項 7】請求項 2 において、鋸歯信号発生部は、前記発振信号に基づいて、繰返し周波数 f_{r1} (ただし、 f_{r1} は、電圧／電流制御発振器において発振させたい周波数を f_v としたときに、 $f_v = N \cdot f_{r1}$ の関係にある)

で、1 周期あたり、前記電圧／電流制御発振器の発振信号の発振周波数を決定するために設定される N (ただし、 N は自然数) 回標本化し、最大位相情報 $mC \cdot N$ (ただし、 C および m は自然数) の鋸歯状波形を有する鋸歯信号を出力し、

鋸歯信号微分位相発生部は、前記鋸歯信号発生部からの鋸歯信号を周期 $1 / (mK f_{r1})$ (ただし、 K は自然数) 毎に標本化して位相情報を抽出し、前後する位相情報を比較して微分位相を求めて、求めた微分位相を mK 倍して微分位相情報を出力し、

3

基準信号微分位相発生部は、微分位相情報として mCN を出力することを特徴とする周波数シンセサイザ。

・【請求項 8】請求項 6 において、前記鋸歯信号発生部は、前記 C を分周数とするプリスケアラとその出力を分周する可変分周数 Nd （ただし、 Nd は自然数）のモジュロ Nd カウンタとを備える、総合分周数 $Nt = C \cdot Nd$ を有するプリスケアラ式可変分周器であり、

前記基準信号微分位相発生部は、微分位相情報として前記分周数 $Nt = CNd$ を出力し、

前記鋸歯信号微分位相発生部は、前記プリスケアラの出力信号をクロックとして、前記分周数 C を前記周波数 f_{r2} の一周期間累積した値を K 倍して微分位相情報として出力することを特徴とする周波数シンセサイザ。

・【請求項 9】請求項 6 において、前記鋸歯信号発生部は、分周数 $P1 = CP$ （ただし、 P は自然数）と分周数 $P2 = C(P+1)$ とを有する 2 モジュラス・プリスケアラと、可変分周数 M のメイン・カウンタと、可変分周数 S のスワロー・カウンタとを備えて、総合分周数 $Nt = P2 \cdot S + P1 \cdot (M - S) = C(PM + S) \equiv C \cdot Nd$ を有するパルススワロー式可変分周器であり、

前記基準信号微分位相発生部は、微分位相情報として前記分周数 $Nt = CNd$ を出力し、

前記鋸歯信号微分位相発生部は、前記 2 モジュラス・プリスケアラの出力信号をクロックとして、前記スワロー・カウンタから前記 2 モジュラス・プリスケアラに帰還される分周数選択信号に応じて前記分周数 $P1$ または $P2$ を前記周波数 f_{r2} の一周期間累積した値を K 倍して微分位相情報として出力することを特徴とする周波数シンセサイザ。

・【請求項 10】請求項 6 において、前記鋸歯信号発生部は、前記 C を分周数とする分周するプリスケアラであり、前記鋸歯信号微分位相発生部は、可変ステップ数値 Ns （ただし、 Ns は、 $Ns = C \cdot N \cdot f_{r1} / f_v$ で表される）を有する数値制御発振器であり、前記数値制御発振器は、前記鋸歯信号発生部の分周した信号をクロックとし、可変ステップ数値 Ns を累積して周期 $1 / (K f_{r1})$ （ただし、 K は自然数）毎に標本化して微分位相を求め、求めた微分位相を K 倍して微分位相情報として出力することを特徴とする周波数シンセサイザ。

・【請求項 11】請求項 6 において、前記鋸歯信号微分位相発生部は、可変ステップ数値 Ns （ただし、 Ns は、 $Ns = C \cdot N \cdot f_{r1} / f_v$ で表される）を有する数値制御発振器であり、前記数値制御発振器は、前記発振信号を直接クロックとし、可変ステップ数値 Ns を累積して周期 $1 / (K f_{r1})$ （ただし、 K は自然数）毎に標本化して微分位相を求め、求めた微分位相を K 倍して微分位相情報として出力することを特徴とする周波数シンセサイザ。

・【請求項 12】請求項 1、2、3、4、5、6、7、8、9、10 または 11 において、前記信号処理部は、

4

前記積分器からの出力信号をフィルタリングする処理を施して出力することを特徴とする周波数シンセサイザ。

・【請求項 13】請求項 1、2、3、4、5、6、7、

8、9、10 または 11 において、前記信号処理部は、前記積分器からの出力信号に初期値を加算する処理を施して出力することを特徴とする周波数シンセサイザ。

・【請求項 14】請求項 12 または 13 記載の周波数シンセサイザの少なくとも一部を内蔵することを特徴とする半導体集積回路。

10 ・【請求項 15】指示された周波数の発振信号を出力する周波数シンセサイザと、周波数シンセサイザからの発振信号に基づいて情報を送信する送信部と、周波数シンセサイザからの発振信号に基づいて情報を受信する受信部と、前記周波数シンセサイザ、前記送信部および前記受信部を制御する制御部とを備える通信装置において、前記周波数シンセサイザは、前記発振信号に基づいて、繰返し周波数 f_{r1} （ただし、 f_{r1} は、指示された周波数を f_v としたときに、 $f_v = N \cdot f_{r1}$ の関係にある）で、
20 1 周期あたり、指示された発振周波数を決定するために設定される N （ただし、 N は自然数）回標本化して位相情報を出力し、位相情報を、周期 $1 / (mK f_{r1})$ （ただし、 K および m は自然数）毎に標本化して前後する位相情報を比較して微分位相を求めて、求めた微分位相を mK 倍して微分位相情報を出力し、該微分位相情報と基準微分位相である mN とを比較して微分位相差を求め、該微分位相差を積分して位相誤差を求めることにより、発振信号の周波数を制御することを特徴とする通信装置。

30 ・【請求項 16】電圧あるいは電流により発振周波数を制御して発振信号を出力する電圧／電流制御発振器と、所定の周波数の基準信号を出力する基準発振器とを有して位相同期ループを構成して発振周波数を制御する周波数シンセサイザにおける周波数制御方法であって、前記発振信号に基づいて、繰返し周波数 f_{r1} （ただし、 f_{r1} は、指示された周波数を f_v としたときに、 $f_v = N \cdot f_{r1}$ の関係にある）で、1 周期あたり、指示された発振周波数を決定するために設定される N （ただし、 N は自然数）回標本化して位相情報を出力し、位相情報を、周期 $1 / (mK f_{r1})$ （ただし、 K および m は自然数）
40 毎に標本化して前後する位相情報を比較して微分位相を求めて、求めた微分位相を mK 倍して微分位相情報を出力し、該微分位相情報と基準微分位相である mN とを比較して微分位相差を求め、該微分位相差を積分して位相誤差を求めることにより、発振信号の周波数を制御することを特徴とする周波数シンセサイザにおける周波数制御方法。

・【発明の詳細な説明】

・【0001】

・【産業上の利用分野】この発明は、位相同期ループを用いた周波数シンセサイザおよびそれを用いた装置に関す

5

る。特に、通信周波数を高速に切り替えることが必要な移動通信装置に適した周波数シンセサイザの手法と構成法に関する。

・【0002】

・【従来の技術】周波数シンセサイザの構成法は、各種の方法が知られており(参考文献:V. Manassewitsch, "Frequency Synthesizers Theory and Design", pp. 1-39, John Wiley & Sons, New York, 1976)、特に、集積回路の発達により位相同期ループを用いた構成法がよく用いられる。多数の通信チャネルを有する移動通信装置では、電圧制御発振器(以下、VCOと称する)、可変分周器および水晶発振器を用いて位相同期ループを構成し、可変分周器の分周数を選択して必要な通信チャネル周波数を発生させる。VCOの出力信号を可変分周器で分周した信号と、水晶発振器出力信号から生成した基準信号との位相を位相比較器で比較し、アナログ値の比較結果をフィルタにより積分した後に、VCOの周波数制御端子に印加する。この位相比較結果には高調波成分などが含まれているので、これらの成分を除くために上記フィルタの積分時定数を大きくする必要がある。特に、フィルタを構成するコンデンサの容量値が比較的大きくなる。このため、可変分周器の分周数を変えて通信チャネル周波数を切り替えようとすると、コンデンサの充放電に時間を要するので高速に周波数を切り替えることができないという問題がある。

・【0003】位相比較器出力をアナログ値で出力すると上記の問題が生じるので、これを解決する周波数シンセサイザの構成法が提案されている(参考文献:梶原、中川・「高速周波数ホッピングが可能なPLLシンセサイザ」、電子情報通信学会論文誌、B-II、Vol. J73-B-I 1、No. 2、pp. 95-102、1990年2月)。この提案方式をここでは、数値位相比較直流通周波数シンセサイザ方式と呼称する。該従来技術は、位相比較そのものを数値演算処理により行ない、比較結果に含まれる高調波成分を単純な演算によって除去することにより、フィルタを不要とすることによって周波数切替時間の短縮化を図っている。この周波数シンセサイザでは、周期Tを有する基準信号の位相情報を周期T/K(Kは整数)毎に $2\pi/K$ ずつ増加させ、周期T毎にリセットする階段波形として位相比較器に入力する。一方、VCOの出力信号は整数分周数NのモジュロNカウンタにより分周され、カウンタ*

6

*の内容は、 $2\pi/N$ で正規化された後、位相情報として周期T/K毎に位相比較器に入力される。位相比較器に入力された2つの位相情報が数値引算され、位相比較器から出力される。この時、位相比較器に入力される2つの信号の周波数が一致していても両位相情報の初期位相が一致していないと、位相比較器出力には $\pm 2\pi$ のジャンプが生じる。位相補正器では、このジャンプの両側の一方を 2π シフトすることにより、位相比較値を直流化する。この直流化操作では、位相比較器の出力Eに下式の数学演算を行い、直流化位相誤差Eを求める。

・【0004】 $E' = \text{mod} \{ (E + 3\pi), 2\pi \} - \pi$
ここで、 $\text{mod} \{ A, B \}$ はAをBで除した時の剰余を示す。この直流化位相比較値をD/A変換器でアナログ値に変換した後、VCOの周波数制御端子に印加する。この時、VCO発振周波数fvは基準信号周波数をfrlとすると、下式数1となる。

・【0005】

・【数1】 $fv = (N/K) \cdot (K \cdot frl)$ (数1)

このように、位相比較値を直流化しているので、フィルタが不要となり、高速の周波数切替が可能となる。また、Kが大きいほど、すなわち、標準化周波数 $K \cdot frl$ が高いほど高速切り替えが可能となる。

・【0006】

・【発明が解決しようとする課題】上記既存の数値位相比較直流通周波数シンセサイザにおいては、位相比較器の出力を直流化する位相補正器の回路規模が大きいという第1の問題がある。

・【0007】また、数値位相比較直流通周波数シンセサイザの上記数1において、N/Kが整数でない場合、モジュロNカウンタの内容を周期T/K毎に標準化すると、N/Kの端数切捨てによる位相誤差が発生する。従って、発生周波数が所定の周波数に完全に一致しないという第2の問題がある。例えば、Kが8、Nが1002、 2π に相当する定数Aが1000とする。この場合、モジュロNカウンタの標準化値Ci(i=1~8)に、定数A/Nを乗算して正規化した正規化位相値Vi、基準信号位相値Riおよび位相誤差Hiは、表1のようになる。

・【0008】

・【表1】

表1

$2\pi : 1000, K=8, N=1002$

信号	標準化ステップ							
	1	2	3	4	5	6	7	8
カウンタ出力 Ci	125	250	375	501	626	751	876	1002
正規化位相 Vi	124.75	249.50	374.25	500.00	624.75	749.50	874.25	1000.0
基準位相 Ri	125	250	375	500	625	750	875	1000
位相誤差 Hi	-0.25	-0.50	-0.75	0.0	-0.25	-0.50	-0.75	0.0

7

・【0009】基準信号位相値 R_i と正規化位相値 V_i との位相誤差 H_i は、各標本化毎に零にはならず、また、位相誤差 H_i の一周平均位相誤差も零にはならないという状態が発生する。表1では、表示を簡単にするために正規化位相値 V_i と位相誤差 H_i とを小数点以下第2位で打ち切って表示してあるが、上記の状態はそれらを無限語長で表しても生じる問題である。従って、この方式の周波数シンセサイザでは、 N/K が整数以外の時には正確な周波数を発生できないという問題がある。

・【0010】高周波信号を分周する場合、可変分周器の10 前に周波数低減のために分周数 P のプリスケアラが挿入される場合があるが、この時一般に P は K と等しくないために上記と同じ端数発生の問題がある。

・【0011】また、上記既存の数値位相比較直流化周波数シンセサイザにおいて、ディジタル処理が容易なように一周の位相 2π の代わりにある定数 A を用い、モジュロ N カウンタの内容を A/N で正規化する。一方、シンセサイザが発生する周波数を変更するには N を変化させる。従って、一般に A/N は非整数となる。定数 A を20 かなり大きく設定しても N が1ずつ変化するような条件では大部分の A/N は非整数となる。このため、カウンタの正規化位相情報に誤差が生じるために、正確な周波数発生ができないという第3の問題がある。

・【0012】本発明の第1の目的は、位相補正器が不要で回路規模が削減できる周波数シンセサイザの構成法を提供することである。

・【0013】本発明の第2の目的は、 N/K ($K>1$) が整数でない場合でも正確な周波数発生ができ、かつ、高速な周波数切り替えを可能とすることである。

・【0014】本発明の第3の目的は、位相情報の正規化30 処理を無くして正規化に伴う誤差を除き、正確で高速に安定する周波数発生手法を提供することである。

・【0015】本発明の他の目的は、プリスケアラ、特に2モジュラス・プリスケアラを含んだ可変分周器を用いた周波数シンセサイザ構成において、高速な周波数切り替えを可能とすることである。

・【0016】本発明の他の目的は、周波数シンセサイザの大部分または全部を半導体集積回路で実現することができる周波数シンセサイザを提供することである。

・【0017】本発明の他の目的は、多数の通信チャネル40 を有する移動通信装置において、そのチャネル間隔が10kHz程度であっても1ミリ秒以下の周波数切り替え時間が実現できる周波数シンセサイザを提供することである。

・【0018】

・【課題を解決するための手段】上記第1、第2および第3の問題点を同時に解決する手法は以下のとおりである。

・【0019】電圧あるいは電流により発振周波数を制御して発振信号を出力する電圧／電流制御発振器と、所定50

8

の周波数の基準信号を出力する基準発振器とを有して位相同期ループを構成して発振周波数を制御する周波数シンセサイザにおいて、前記基準発振器の基準信号から位相情報を抽出し、微分位相を求めて出力する基準信号微分位相発生手段と、前記電圧／電流制御発振器の発振信号から位相情報を抽出し、微分位相を求めて出力する発振信号微分位相発生手段と、前記基準信号微分位相発生手段からの微分位相と、前記発振信号微分位相発生手段からの微分位相との差を求めて該微分位相差を出力する微分位相比較器と、前記微分位相差を積分して位相誤差を求めて出力する積分器と、前記積分器の出力信号に信号処理を行なう信号処理部と、前記信号処理部の出力信号を電圧あるいは電流に変換する変換器とを有することにより、上記課題を解決する。

・【0020】前記発振信号微分位相発生手段は、前記電圧／電流制御発振器の発振信号を標本化して位相情報を抽出し、位相情報を鋸歯状波形にして繰返し発生する鋸歯信号発生部と、前記鋸歯信号発生部の鋸歯状波形の位相情報に基づいて、微分位相を求めて出力する鋸歯信号微分位相発生部とを備える。

・【0021】前記鋸歯信号発生部は、前記発振信号に基づいて、繰返し周波数 f_r (ただし、 f_r は任意の周波数) で、1周期あたり H (ただし、 H は自然数) 回標本化して位相情報を鋸歯状波形にして鋸歯信号を出力し、前記鋸歯信号微分位相発生部は、前記鋸歯信号発生部からの鋸歯信号の前後する位相情報を比較して微分位相を求めて微分位相情報を出力し、前記基準信号微分位相発生手段は、前記基準発振器の基準信号を標本化して位相情報を抽出し、位相情報を鋸歯状波形にして繰返し発生する鋸歯状基準信号発生部と、前記鋸歯状基準信号発生部の鋸歯状波形の位相情報に基づいて、微分位相を求めて出力する基準信号微分位相発生部とを備え、前記鋸歯状基準信号発生部は、前記基準信号に基づいて、繰返し周波数 f_r (ただし、 f_r は任意の周波数) で、1周期あたり H 回標本化して基準信号の位相情報を鋸歯状波形にして鋸歯信号を出力し、前記基準信号微分位相発生部は、前記鋸歯状基準信号発生部からの鋸歯信号の前後する位相情報を比較して微分位相を求めて微分位相情報を出力する。また、前記鋸歯信号発生部は、前記発振信号に基づいて、繰返し周波数 f_{r1} (ただし、 f_{r1} は、電圧／電流制御発振器において発振させたい周波数を f_v としたときに、 $f_v = N \cdot f_{r1}$ の関係にある) で、1周期あたり、前記電圧／電流制御発振器の発振信号の発振周波数を決定するために設定される N (ただし、 N は自然数) 回標本化して位相情報を鋸歯状波形にして鋸歯信号を出力し、鋸歯信号微分位相発生部は、前記鋸歯信号発生部からの鋸歯信号を周期 $1/(mKf_{r1})$ (ただし、 K および m は自然数) 毎に標本化して位相情報を抽出し、前後する位相情報を比較して微分位相を求めて、求めた微分位相を mK 倍して微分位相情報を出力し、基準

9

信号微分位相発生部は、微分位相情報として mN を出力するようにしてもよい。この場合、前記鋸歯信号発生部は、分周数 N の分周器を備え、分周器は、 N までの計数を繰返し、計数値を出力し、 N まで計数したときにはキャリを出力し、前記鋸歯信号微分位相発生部は、前記分周器からキャリが出力された場合は、それを補正した差分を鋸歯信号微分位相情報として出力することができる。

・【0022】さらに、前記鋸歯信号発生部は、前記発振信号に基づいて、繰返し周波数 f_{r1} （ただし、 f_{r1} は、電圧／電流制御発振器において発振させたい周波数を f_v としたときに、 $f_v = N \cdot f_{r1}$ の関係にある）で、1周期あたり、前記電圧／電流制御発振器の発振信号の発振周波数を決定するために設定される N （ただし、 N は自然数）回標本化し、最大位相情報 $C \cdot N$ （ただし、 C は自然数）の鋸歯状波形を有する鋸歯信号を出力し、鋸歯信号微分位相発生部は、前記鋸歯信号発生部からの鋸歯信号を周期 $1 / (K f_{r1})$ （ただし、 K は自然数）毎に標本化して位相情報を抽出し、前後する位相情報を比較して微分位相を求めて、求めた微分位相を K 倍して微分位相情報を出力し、基準信号微分位相発生部は、微分位相情報として CN を出力するようにしてもよい。

・【0023】また、鋸歯信号発生部は、前記発振信号に基づいて、繰返し周波数 f_{r1} （ただし、 f_{r1} は、電圧／電流制御発振器において発振させたい周波数を f_v としたときに、 $f_v = N \cdot f_{r1}$ の関係にある）で、1周期あたり、前記電圧／電流制御発振器の発振信号の発振周波数を決定するために設定される N （ただし、 N は自然数）回標本化し、最大位相情報 mCN （ただし、 C および m は自然数）の鋸歯状波形を有する鋸歯信号を出力し、鋸歯信号微分位相発生部は、前記鋸歯信号発生部からの鋸歯信号を周期 $1 / (mK f_{r1})$ （ただし、 K は自然数）毎に標本化して位相情報を抽出し、前後する位相情報を比較して微分位相を求めて、求めた微分位相を mK 倍して微分位相情報を出力し、基準信号微分位相発生部は、微分位相情報として mCN を出力するようにしてもよい。

・【0024】また、前記鋸歯信号発生部は、前記 C を分周数とするプリスケアラとその出力を分周する可変分周数 Nd （ただし、 Nd は自然数）のモジュロ Nd カウンタとを備える、総合分周数 $Nt = C \cdot Nd$ を有するプリスケアラ式可変分周器であり、前記基準信号微分位相発生部は、微分位相情報として前記分周数 $Nt = CNd$ を出力し、前記鋸歯信号微分位相発生部は、前記プリスケアラの出力信号をクロックとして、前記分周数 C を前記周波数 f_{r2} の一周期間累積した値を K 倍して微分位相情報として出力してもよい。

・【0025】もしくは、前記鋸歯信号発生部は、分周数 $P1 = CP$ （ただし、 P は自然数）と分周数 $P2 = C(P+1)$ とを有する2モジュラス・プリスケアラと、可変分

10

周数 M のメイン・カウンタと、可変分周数 S のスワロー・カウンタとを備えて、総合分周数 $Nt = P2 \cdot S + P1 \cdot (M - S) = C(PM + S) \equiv C \cdot Nd$ を有するパルススワロー式可変分周器であり、前記基準信号微分位相発生部は、微分位相情報として前記分周数 $Nt = CNd$ を出力し、前記鋸歯信号微分位相発生部は、前記2モジュラス・プリスケアラの出力信号をクロックとして、前記スワロー・カウンタから前記2モジュラス・プリスケアラに帰還される分周数選択信号に応じて前記分周数 $P1$ または $P2$ を前記周波数 f_{r2} の一周期間累積した値を K 倍して微分位相情報として出力することもできる。

・【0026】また、前記鋸歯信号発生部は、前記 C を分周数とする分周するプリスケアラであり、前記鋸歯信号微分位相発生部は、可変ステップ数値 Ns （ただし、 Ns は、 $Ns = C \cdot N \cdot f_{r1} / f_v$ で表される）を有する数値制御発振器であり、前記数値制御発振器は、前記鋸歯信号発生部の分周した信号をクロックとし、可変ステップ数値 Ns を累積して周期 $1 / (K f_{r1})$ （ただし、 K は自然数）毎に標本化して微分位相を求めて、求めた微分位相を K 倍して微分位相情報を出力する。

・【0027】さらに、前記鋸歯信号微分位相発生部は、可変ステップ数値 Ns （ただし、 Ns は、 $Ns = C \cdot N \cdot f_{r1} / f_v$ で表される）を有する数値制御発振器であり、前記数値制御発振器は、前記発振信号を直接クロックとし、可変ステップ数値 Ns を累積して周期 $1 / (K f_{r1})$ （ただし、 K は自然数）毎に標本化して微分位相を求めて、求めた微分位相を K 倍して微分位相情報を出力することができる。

・【0028】前記信号処理部は、前記積分器からの出力信号をフィルタリングする処理を施して出力することができ、前記積分器からの出力信号に初期値を加算する処理を施して出力してもよい。

・【0029】以上のように、本発明では、二つの信号の微分位相情報を比較しているので、この手法により構成した周波数シンセサイザを微分位相比較周波数シンセサイザと便宜上呼称する。

・【0030】

・【作用】基準発振器は、所定の周波数の基準信号を出力し、基準信号微分位相発生手段は、該基準信号から位相情報を抽出し、微分位相を求めて出力する。

・【0031】また、電圧／電流制御発振器は、発振信号を出力し、発振信号微分位相発生手段は、該発振信号から位相情報を抽出し、微分位相を求めて出力する。

・【0032】微分位相比較器は、前記基準信号微分位相発生手段からの微分位相と、前記発振信号微分位相発生手段からの微分位相との差を求めて該微分位相差を出力する。積分器は、前記微分位相差を積分して位相誤差を求めて出力し、信号処理部は、フィルタリングする処理を施して平均化したり、前記積分器からの出力信号に初期値を加算する処理を施したりする。

11

・【0033】変換器は、前記信号処理部の出力信号を電圧あるいは電流に変換し、電圧／電流制御発振器に入力することにより、発振信号の周波数を制御する。

・【0034】前記発振信号微分位相発生手段は、鋸歯信号発生部と鋸歯信号微分位相発生部とを備えて、鋸歯信号発生部は、前記電圧／電流制御発振器の発振信号を標本化して位相情報を抽出し、位相情報を鋸歯状波形にして繰返し発生し、鋸歯信号微分位相発生部は、前記鋸歯信号発生部の鋸歯状波形の位相情報に基づいて、微分位相を求めて出力する。

・【0035】電圧／電流制御発振器の出力信号から鋸歯状波形を有する鋸歯信号を発生する鋸歯信号発生部は、例えば、可変分周数NのモジュロNカウンタを用いる。この場合、鋸歯信号発生部は、電圧／電流制御発振器の出力信号を分周している、モジュロNカウンタの内容を出力することにより、繰返し周波数 f_{r1} で、1周期あたり、前記電圧／電流制御発振器の発振信号の発振周波数を決定するために設定されるN回標本化して位相情報を鋸歯状波形にして鋸歯信号を出力する。鋸歯信号微分位相発生部は、前記鋸歯信号発生部からの鋸歯信号を周期 $1/(mKf_{r1})$ （ただし、Kおよびmは自然数）毎に標本化して位相情報を抽出する。前後する位相情報を比較して微分位相を求めて、求めた微分位相をmK倍して微分位相情報を出力する。ここで、標本化値の差分はモジュロNカウンタにキャリが出た時はキャリを含めた実質的な差分とする。

・【0036】一方、基準信号微分位相発生手段は、周期 $1/(mKf_{r1})$ 毎に上記分周数Nずつ増加する周期Tの数値制御発振器を想定し、その位相を基準信号の位相情報とする。従って、基準信号微分位相情報は一定値、上記分周数mNとなる。上記基準信号微分位相とVCO側信号微分位相との差を無限積分した位相誤差情報によりVCOの周波数を制御する。

・【0037】位相情報は、周知のように周期性を有しているが、それを微分した微分位相情報、すなわち、周波数情報には周期性が無い。従って、本発明のように、基*

表2

 $2\pi:1000, K=8, N=1002$

信号	標本化ステップ							
	1	2	3	4	5	6	7	8
カウンタ出力 C_i	125	250	375	501	626	751	876	1002
標本化増分 D_i	125	125	125	126	125	125	125	126
微分位相 ΔV_i	1000	1000	1000	1008	1000	1000	1000	1008
基準微分位相 ΔR_i	1002	1002	1002	1002	1002	1002	1002	1002
微分位相誤差 ΔH_i	-2	-2	-2	+6	-2	-2	-2	+6
位相誤差 H_{i1}	0	-2	-4	+2	0	-2	-4	+2
位相誤差 H_{i2}	+2	0	-2	+4	+2	0	-2	+4
位相誤差 H_{i3}	+4	+2	0	+6	+4	+2	0	+6
位相誤差 H_{i4}	-2	-4	-6	0	-2	-4	-6	0

12

*基準信号微分位相とVCO側信号微分位相との微分位相差分を求める手法では、その微分位相差分に数値位相比較直流化周波数シンセサイザに生ずるような位相誤差ジャンプは生じない。すなわち、位相誤差直流化回路が不要であり、回路規模が数値位相比較直流化周波数シンセサイザに比べて小さくなる。すなわち、第1の問題が解決される。

・【0038】上記微分位相差分を積分したものが位相同期ループで発生する位相誤差であり、一周にわたる位相誤差は基準信号側とVCO側の周波数が等しい場合に一定値となる。このように位相誤差が一定のまま位相同期ループが同期することが一次位相同期ループの特徴である。従って、分周数Nを変えて新しい周波数に切替えたとき、位相誤差を零にする必要がないので、高速に新しい位相同期状態になる。

・【0039】基準信号微分位相情報として可変分周数Nを採用しているため、正規化処理を必要としないので、第3の問題点に対する作用は明白である。

・【0040】第2の問題点に対する作用を次に説明する。N/Kが非整数であるために、例えば、VCO側信号微分位相である第1標本差分値で切捨てが生じたとすると、その切捨て誤差は第2標本差分値以降に切上げ誤差として分配され、一周期Tにわたる平均で誤差は無くなる。言い替えると、基準信号微分位相Nと上記第1標本差分値との差分で正の誤差が生じたとすると、基準信号微分位相Nと上記第2標本差分値以降との差分で負の誤差を発生する。これら誤差を一周期にわたって積分すると零になる。すなわち、一周にわたる位相誤差が零であるということは、基準信号側とVCO側の周波数が等しいことであり、正確な周波数発生が可能となる。以上のことを具体的数値例によって説明する。K=8、N=1002とすると、カウンタ標本化値 C_i ($i=1\sim 8$)、その標本化値増分 D_i 、それをK倍した微分位相値 ΔV_i 、基準信号微分位相値 ΔR_i は表2のようになる。

・【0041】

・【表2】

13

・【0042】両微分位相値の差である微分位相誤差 ΔH_i を任意の一周期間積分した位相誤差は、上述の説明通り、少なくとも一周期毎に零となる。

・【0043】

・【実施例】本発明の基本原理を示す実施例である微分位相周波数シンセサイザのブロック図を図1に示す。図1において、微分位相周波数シンセサイザ10は、基準発振器11、鋸歯状波基準信号発生部12、基準信号微分位相発生部13、クロック発生部14、電圧（あるいは、電流）制御発振器15、鋸歯状波鋸歯信号発生部16、鋸歯信号微分位相発生部17、微分位相比較器18、積分器19、信号処理部20、電圧（あるいは、電流）変換部21およびインタフェース部22を有している。

・【0044】クロック発生部14は、基準発振器11の出力信号から周波数 f_{r1} を有する第一クロック、周波数 f_{r1} の K （ただし、 K は自然数）倍の周波数 f_{r2} を有する第二クロック、および構成各部の動作に必要な各種タイミングクロックを発生し、構成要素各部（12）（13）（17）（18）（19）（20）に必要なクロックを供給する。鋸歯状波基準信号発生部12は、分周器、または数値制御発振器、または分周器と数値制御発振器の組合せにより構成されており、基準発振器11の出力信号から繰返し周波数 f_{r1} の鋸歯状波形を有する基準信号を発生する。基準信号微分位相発生部13は、周波数 f_{r2} 毎に基準信号の微分位相情報を発生する。鋸歯状波基準信号発生部12および基準信号微分位相発生部13を合わせて、基準信号微分位相発生手段とし、基準発振器11の基準信号から位相情報を抽出し、微分位相を求めて出力するようにしてもよい。

・【0045】鋸歯状波鋸歯信号発生部16は、分周器、または数値制御発振器、または分周器と数値制御発振器の組合せにより構成されており、電圧（あるいは、電流）制御発振器15の出力信号から繰返し周波数 f_{r1} の鋸歯状波形を有する鋸歯信号を発生する。鋸歯信号微分位相発生部17は、周波数 f_{r2} 毎に鋸歯信号の微分位相情報を発生する。鋸歯状波鋸歯信号発生部16および鋸歯信号微分位相発生部17を合わせて、発振信号微分位相発生手段とし、電圧制御発振器15の発振信号から位相情報を抽出し、微分位相を求めて出力するようにしてもよい。

・【0046】微分位相比較器18は、基準信号微分位相情報と鋸歯信号微分位相情報との微分位相差分を求める。積分器19は、その微分位相差分を積分することによって基準信号と鋸歯信号との位相差分情報とする。信号処理部20は、積分器19からの位相差分情報に対してフィルタリングしたり、初期値を加算するなどの信号処理を施す。変換部21は、信号処理部20の出力信号を発振器15の周波数制御に適した電圧または電流信号に変換し、発振器15の周波数を制御する。インタフェース部22は、例えば、上記分周器の分周数や上記初期値などをマイクロプロセッサ（図示されていない）から受け取り、必要な構成要素各部に送出する。マイクロプロセッサは、発振器

14

15の周波数を制御するために、電圧制御発振器の発振周波数を決定するために設定される数値 N や、初期値などをインタフェース部22を介して指示できる。

・【0047】基準信号微分位相発生手段と発振信号微分位相発生手段とは、それぞれ基準信号と発振信号との微分位相を出力すればよく、発振信号微分位相発生手段は、発振信号に基づいて、繰返し周波数 f_r （ただし、 f_r は任意の周波数）で、1周期あたり H （ただし、 H は自然数）回標本化して位相情報を鋸歯状波形にして鋸歯信号を出力し、鋸歯信号の前後する位相情報を比較して微分位相を求めて微分位相情報を出力し、前記基準信号微分位相発生手段は、基準信号に基づいて、繰返し周波数 f_r で、1周期あたり H 回標本化して基準信号の位相情報を鋸歯状波形にして鋸歯信号を出力し、鋸歯信号の前後する位相情報を比較して微分位相を求めて微分位相情報を出力するようにしてもよい。この H 回標本化するのを、 N 回標本化するようにしてもよい。また、発振信号微分位相発生手段の鋸歯信号微分位相発生部は、前記鋸歯信号を周期 $1/(mKf_{r1})$ （ただし、 K および m は自然数）毎にさらに標本化して位相情報を抽出し、前後する位相情報を比較して微分位相を求めて、求めた微分位相情報を mK 倍して出力し微分位相情報を出力し、基準信号微分位相発生手段の基準信号微分位相発生部は、微分位相として mN を出力することもできる。また、このとき、発振信号微分位相発生手段の鋸歯信号微分位相発生部では、最大位相情報 mCN （ただし、 C は自然数）の鋸歯状波形を有する鋸歯信号を出力することにより、正規化による誤差を発生させないようにすることができる。

・【0048】本実施例では、基準信号と鋸歯信号との微分位相差分すなわち周波数差を求めた後、積分することによって位相差分情報を得ているので、基準信号と鋸歯信号との位相差分を直接求めた場合に発生する位相飛びが発生しない。すなわち、本実施例で求めた位相差分情報は必然的に直流化されており、直流化回路が不要で、かつ位相同期ループの高速引込みが可能となる。

・【0049】本実施例において、鋸歯状波鋸歯信号発生部16が発生する鋸歯信号が周波数 f_{r1} の一周期 T 内に有する最大値を基準信号微分位相情報とする。すなわち、周波数 f_{r2} 毎に上記最大値ずつ増加する周期 T の数値制御発振器を想定し、その出力信号の微分位相を求めることと等価である。更に、この基準信号微分位相情報と周波数 f_{r2} 毎の鋸歯信号微分位相情報の K 倍との差分を微分位相差分とすることによって、正規化処理が不要となる。また、これによって鋸歯状波基準信号発生部12と基準信号微分位相発生部13とが事実上不要となり、回路構成が簡単になるという特徴がある。

・【0050】本発明の詳細実施例である微分位相比較周波数シンセサイザのブロック図を図2に示す。図2において、図1と類似機能を有する回路ブロックには同一の

15

符号を付している。微分位相比較周波数シンセサイザ10は、基準発振器11、クロック発生部14、VCO15、モジュロNカウンタ16（図1の鋸歯状波鋸歯信号発生部に対応）、標準化微分位相発生部17（図1の鋸歯信号微分位相発生部に対応）、微分位相比較器18、積分器19、信号処理部20、D/A変換器21（図1の電圧変換器に対応）およびインタフェース部22を有している。

・【0051】図2において、基準発振器11は、例えば、水晶発振器であり、発振周波数 f_{r0} のクロック信号を線S11上に出力する。クロック発生部14は、分周数Lを有する分周器141と、分周数Kを有する分周器142と、各種クロックを発生するタイミング発生器143とを有している。クロック発生部14は、基準発振器11の出力信号を分周器141でL分周して周波数 f_{r2} の第二クロックを発生し、この第二クロックを分周器142でK分周して周波数 f_{r1} の第一クロックを発生し、周波数 f_{r0} 、 f_{r1} および f_{r2} の三つのクロックから他の回路ブロックの操作に必要な各種クロック（T1～T9）を発生する。周波数 f_{r2} と同じ周波数を有する、クロックFr21、Fr22、Fr23、Fr24、Fr25およびFr27と、周波数 f_{r1} と同じ周波数を有する、クロックFr16、Fr17およびFr18とがタイミング発生器14からそれぞれ線T1～T9上に出力される。これらクロックの時間関係は後で図3を用いて説明する。

・【0052】VCO15は、電圧制御信号により発振周波数が制御される電圧制御発振器であり、D/A変換器21の出力電圧によって制御される発振周波数 f_{vo} の信号を線S15上に出力する。可変分周数N（ただし、Nは自然数）を有するモジュロNカウンタ16は、VCO15の発振周波数を計数し、1からNまで（または、Nから1まで）のカウント動作を繰り返す。VCO15の発振周波数を変更するためには上記分周数Nを変更する。上記分周数Nは、インタフェース部22を通して、例えば、マイクロプロセッサ（図示されていない）から指定されて、モジュロNカウンタ16にセットされる。標準化微分位相発生部17は、モジュロNカウンタ16の計数内容を周期 $1/(K \cdot f_{r1})$ 毎に標準化し、相隣合う標準化値の差分を求め、その差分値に分周数Kを乗算してその乗算値を鋸歯信号微分位相情報 ΔV としてバスB17上に出力する。上記標準化差分値は、モジュロNカウンタ16からキャリが出力された時はキャリを含めた差分を取るものとする。

・【0053】一方、基準信号微分位相情報 ΔR としては、分周数Nそのものを採用する。

・【0054】また、標準化微分位相発生部17は、周期 $1/(mK \cdot f_{r1})$ 毎に標準化する場合には、相隣合う標準化値の差分を求め、その差分値に分周数 mK を乗算してその乗算値を鋸歯信号微分位相情報 ΔV としてバスB17上に出力し、基準信号微分位相情報 ΔR としては、分周数 mN として差分を求めてもよい。

・【0055】微分位相比較器18は、基準信号微分位相情報 ΔR から鋸歯信号微分位相情報 ΔV を引算してその差分を微分位相誤差 ΔH としてバスB18上に出力する。積分器19は、微分位相比較器18からの微分位相誤差 ΔH を無限積分して位相誤差信号HをバスB19上に出力する。信号処理部20は、位相誤差信号Hにフィルタリングなどの信号処理を施して位相誤差信号 θ を生成し、その信号 θ を後段のD/A変換器21の入力レンジ内に正規化し、正規化信号 θ_n に初期値 θ_i を加算した後で、その加算値を出力する。上記初期値 θ_i は、分周数Nに対応した値であり、インタフェース部22を通してマイクロプロセッサから指定される。上記の正規化処理の値Wはあらかじめ定められた値か、または、マイクロプロセッサから指定された値とする。D/A変換器21は、信号処理部20からの出力ディジタルデータを対応するアナログ値に変換する。VCO15は、電圧制御信号によって発振周波数が制御されるので、D/A変換器21は、信号処理部20からの出力データをアナログ電圧に変換し、この電圧をVCO15の周波数制御端子に印加する。VCO15の代わりに、電流制御型周波数可変発振器を用いた場合は、D/A変換器21からは、アナログ電流を出力する。インタフェース部22は、マイクロプロセッサから指定されたデータおよびアドレスに基づいて、位相同期ループを構成するブロックの各部に分周数や初期値などを指示する。マイクロプロセッサやインタフェース部22については、従来技術を用いて構成することにより対応できる。本実施例では、インタフェース部22は、マイクロプロセッサからの5本のインタフェース線により分周数N、初期値 θ_i 、タイマ値Tをマイクロプロセッサから受け取って、対応するブロックへ与えている。なお、図2においては、多桁の機能ブロックを1桁の機能ブロックにより簡易的に示す。

16

・【0056】以上のブロック構成により位相同期ループが構成され、同期確立後のVCO15の発振周波数 f_{vo} は分周数Nと基準信号周波数 f_{r1} の積となる。

・【0057】以下に具体的な数値例をあげて、図2に示す基本実施例の詳しい構成と動作とを説明する。例えば、基準発振器11の発振周波数 f_{r0} を12.8MHz、分周数LとKとを両方共に $2^5=32$ とすると、分周器141の出力周波数 f_{r2} は400kHz、分周器142の出力周波数 f_{r1} は12.5kHzとなる。VCO15の発振周波数 f_{vo} を100MHz程度とすると、2進モジュロNカウンタ16の分周数Nは8,000程度となり、これを2進数で表すとその桁数は13となる。インタフェース部22内の分周数レジスタ223は、13桁のバスB11上に2進分周数Nを出力する。カウンタ16は、クロック端子CKに入力されるVCO15からのクロック信号の周波数を計数する。カウンタ16のキャリ端子CAとロード端子LDとが接続され、データ入力端子DTはバスB11に接続されており、出力端子OPからは計数内容が13桁のバスB16上に出力される。例えば、カウンタ16がダウンカウンタの場合、キャリ信号が、キャリ端子CAから

17

出力されるとロード端子LDに入力し、端子CKへのクロック信号に同期してバスB11上の分周数Nがカウンタ16にセットされる。カウンタ16は、分周数Nからクロック信号に同期してダウンカウントを開始して計数内容が「1」になるとキャリ信号を出力するという動作を繰り返す。また、カウンタ16がアップカウンタの場合、キャリ信号がキャリ端子CAから出力されるとロード端子LDに入力し、端子CKへのクロック信号に同期して計数内容が「1」にセットされる。カウンタ16は、1からクロック信号に同期してアップカウントを開始して計数内容がバスB11上の分周数Nに一致するとキャリ信号を出力するという動作を繰り返す。

・【0058】標準化微分位相発生器17は、Dフリップ・フロップ171、172および175、引算器173、加算器174、乗算器176、RSフリップ・フロップ177およびセクタ178を有している。13桁のフリップ・フロップ171のD端子には、カウンタ16の計数内容がバスB16を通して入力され、この計数内容を標準化する。フリップ・フロップ171では、D端子への入力信号がC端子に入力される線T2上のクロックFr22により標準化され、Q端子から13桁のバスB171へ出力される。13桁のフリップ・フロップ172では、バスB171からD端子へ入力された信号が、C端子に入力される線T1上のクロックFr21により標準化され、Q端子から13桁のバスB172へ出力される。13桁の引算器173は、バスB171上の信号とバスB172上の信号との差を取り、14桁のバスB173に出力する。すなわち、引算器173では、フリップ・フロップ171で標準化されたカウンタの計数内容と、フリップ・フロップ172で標準化されたカウンタの計数内容との差を求めることができる。フリップ・フロップ172で標準化されたカウンタの計数内容は、フリップ・フロップ171で1つ前に標準化されたカウンタの計数内容である。バスB173の最上位桁は符号ビットであり、引算器173は、符号情報を付して引き算の結果を出力する。上記引算は、カウンタ16がアップカウンタの場合にはバスB171上の信号からバスB172上の信号を引算し、カウンタ16がダウンカウンタの場合にはバスB172上の信号からバスB171上の信号を引算する。加算器174は、カウンタ16からキャリが出力された時にバスB173上の信号を補正する。上記引算器173は、標準化された計数内容の前後する計数値を引き算し、キャリが出力された時には、カウンタ16の値がセットされ直され、フリップ・フロップ172で標準化されたカウンタの計数内容は、キャリが出力される前の値であるために、加算器174はキャリが出力された時に補正をする。RSフリップ・フロップ177は、S端子に入力される線S16上のカウンタ16のキャリCAによってセットされ、R端子に入力される線T4上のクロックFr24によってリセットされ、Q端子から線S177上に選択信号SNを出力する。13桁のセクタ178は、S端子に入力される選択信号SNが「0」のときはA端子に入力される13桁の「0」をY端子よ

18

り出力し、選択信号SNが「1」のときはB端子に入力されるバスB11上の分周数NをY端子より出力する。そのY端子からの出力信号は、バスB178を経て加算器174の下位13桁に入力される。14桁の加算器174は、バスB173の信号とB178上の信号とを加算して、加算結果をバスB174に出力する。バスB174の桁数は、本実施例の場合、符号ビットを含めて9桁程度で良い。なぜなら、引算器173において引き算されるのは、前述のように、標準化されたカウンタの計数内容の前後する値であり、キャリ出力時には、加算器174で補正されるので9桁程度あればよい。また、微分位相比較器18で比較される二つの信号のビット数は、同程度であり、バスB174上の信号は、乗算器176で $K=2^5$ 倍された後、微分位相比較器18に入力される。9桁のフリップ・フロップ175では、バスB174からD端子へ入力された信号がC端子に入力される線T3上のクロックFr23により標準化され、Q端子から9桁のバスB175へ出力される。乗算器176は、バスB175上の信号を $K=2^5$ 倍し、乗算結果を14桁のバスB17に出力する。乗算器176の機能は、この実施例のように $K=2^5$ の場合、バスB175上の信号を符号ビットを除いて上位へ5桁シフトしてバスB17上に出力することにより実現できる。バスB17上の信号 ΔV （鋸歯信号微分位相情報）は、VCO15の微分位相に対応した情報を表している。・【0059】微分位相比較器18は、14桁の引算器181のみを含み、基準信号微分位相情報 ΔR に対応するバスB11上の分周数NからバスB17上の鋸歯信号微分位相情報 ΔV を引算し、引算結果 ΔH を14桁のバスB18に出力する。バスB18の最上位桁は、符号ビットであるが、実動作時に符号ビットに続く上位桁の数桁が変化しない場合はその部分の桁を省略することができる。

・【0060】積分器19は、加算器191およびレジスタ192を有する。バスB18上の微分位相誤差信号 ΔH の符号ビットと下位13桁のビットとが、19桁加算器191の一方の入力端子の符号ビットと下位13桁のビットとに入力される。加算器191の出力信号は、19桁バスB19を経て19桁のレジスタ192のD端子に入力される。レジスタ192ではD端子への入力信号がC端子に供給される線T4上のクロックFr24によってQ端子に伝達され、19桁バスB19に出力される。バスB19上の信号は、加算器191のもう1つの入力端子に入力される。以上によって、微分位相誤差信号 ΔH は積分されて位相誤差信号Hとなる。レジスタ192は、R端子に入力される線S11上のリセット信号により、インタフェイス部に新しい分周数Nが入力される毎にリセットされる。加算器191がオーバーフローする可能性がある場合、オーバーフロー検出器を設け、オーバーフロー検出器が加算器191の出力オーバーフローを検出してレジスタ192をリセットしても良い。

・【0061】信号処理器20は、加算器201、レジスタ202、割算器203、Dフリップ・フロップ204、セクタ205、正規化器206、加算器207、セクタ208およびDフリ

19

ップ・フロップ209を有している。バスB19上の位相誤差信号Hの符号ビットと下位18桁のビットとは、24桁加算器201の一方の入力端子の符号ビットと下位18桁のビットとに入力される。加算器201の出力信号は、24桁バスB201を経て24桁のレジスタ202のD端子に入力される。レジスタ202では、D端子への入力信号がC端子に供給される線T5上のクロックFr25によってQ端子に伝達され、24桁バスB202に出力される。バスB202上の信号は、加算器201のもう1つの入力端子に入力される。割算器203は、バスB202上の信号を $K=32$ で割り、19桁のバスB203に出力する。この割算機能は、バスB202上の信号を下位側へ5桁シフトしてバスB203に乗せることによって実現できる。バスB203上の信号は、フリップ・フロップ204のD端子に入力される。19桁のフリップ・フロップ204では、D端子入力信号がC端子に供給される線T7上のクロックFr16によってQ端子に伝達され、19桁のバスB204に出力される。レジスタ202は、線T8上のクロックFr17によってリセットされ、クロックFr25の周波数は、クロックFr16およびFr17の周波数のK倍であるから、バスB204上の信号は、バスB202上の位相誤差信号を周期 $1/f_{r1}$ にわたって平均化したものとなる。バスB204上の信号は、セレクト205のB端子に入力される。セレクト206のA端子には、バスB19上の位相誤差信号Hが直接入力される。19桁のセレクト205は、S端子に印加される線SI2上の選択信号STが「0」のときはA端子入力信号をY端子から位相誤差信号 θ として19桁バスB205に出力し、選択信号STが「1」のときはB端子入力信号をY端子から位相誤差信号 θ として19桁バスB205に出力する。バスB18からバスB205までの信号処理は一種のデジタルフィルタ処理である。従って、実施例以外の構成法でもよい。バスB205上の信号は、正規化器206に入力される。この正規化器206の働きは、入力信号に対して四則演算を行い、その出力信号をD/A変換器21の入力範囲内に納めたり、必要な分解能を得ることである。例えば、符号ビットと下位2桁目から16桁目までを16桁バスB206に出力する。バスB206の信号は、16桁加算器207の一方の入力端子に入力される。加算器207の他方の入力端子には、16桁バスBI2から分周数Nに対応した適当な初期値 θ_i が入力される。加算器207は、加算結果を16桁バスB207上に出す。セレクト208のA入力端子には、線T6上のクロックFr27が入力され、B入力端子にはT8上のクロックFr17が入力される。セレクト208は、S端子に入力される線SI2の選択信号STが「0」のときはA端子入力信号をY端子から線S208上に出し、選択信号STが「1」のときはB端子入力信号をY端子から線S208上に出す。16桁フリップ・フロップ209は、バスB207からD端子に入力された信号を線S208からC端子に入力されたクロックによって再標準化してQ端子から16桁のバスB20に出力する。

・【0062】16桁D/A変換器21は、バスB20上の入力

20

ディジタル値に対応したアナログ電圧を線S21に出力する。この電圧は、VCO15の周波数制御端子に印加される。この電圧によりVCO15の周波数が変化し、微分位相比較器18の出力を一周期 $1/f_{r1}$ にわたって積分した値が零になるように負帰還ループが構成される。位相同期ループの同期引込み後のVCO15の発振周波数 f_{vo} は次式で表される。

・【0063】

・【数2】 $f_{vo} = N \cdot f_{r1}$ (数2)

10 インタフェイス部22は直列入力/並列出力レジスタ221、アドレスデコーダ222、分周数レジスタ223、初期値レジスタ224、タイマレジスタ225およびタイマ226を有している。マイクロプロセッサからは、クロックDCLK、直列データDATA、2ビットのアドレスADRO・ADR1およびラッチイネイブルLEの5つの信号が、線M1、M2、M3、M4およびM5を介してインタフェイス部22にそれぞれ入力される。16桁の直列入力/並列出力レジスタ221は、直列データDATAをクロックDCLK毎に取り込んで並列データとしてバスB221上に出す。アドレスデコーダ222は、
20 アドレスADROを下位ビット、ADR1を上位ビットとしてデコードし、アドレスが「0」のときにラッチイネイブルLEを線S2221上に、アドレスが「1」のときにラッチイネイブルLEを線S2222上に、アドレスが「2」のときにラッチイネイブルLEを線S2223上に、アドレスが「3」のときに線M5上のラッチイネイブルLEをスタートイネイブルSEとして線S2224上に出す。13桁の分周数レジスタ223は、バスB221上の並列データを線S2221上のラッチイネイブルLEにより取り込んで並列データに変換した後、線S2224上のスタートイネイブルSEによってバスBI1上に出す。
30 データを線S2222上のラッチイネイブルLEにより取り込んで並列データに変換した後、線S2224上のスタートイネイブルSEによってバスBI2上に出す。タイマレジスタ225は、バスB221上のデータを線S2223上のラッチイネイブルLEにより取り込んでバスB225上に出す。タイマ226は、線S2224上のスタートイネイブルSEによりリセットされた後、線T9上のクロックFr18の計数を開始し、その時、線SI2上に「0」の選択信号STを出力する。タイマ226の計数値がバスB225上のデータと一致すると、タイマ226は、計数を停止し、「1」の選択信号STをリセットされるまで出力する。また、線S2224上のスタートイネイブルSEは線SI1上にイニシャルリセットIRとして出力される。

・【0064】以下に、図2に示す実施例の動作を図3のタイムチャートを用いて再度説明する。図3の図示がしやすいうように、数値例として、基準発振器11の発振周波数 f_{r0} を6.4MHz、分周数L、KおよびNをそれぞれ8、8、1002とする。これらから、分周器12の出力周波数 f_{r2} は800kHz、分周器13の出力周波数 f_{r1} は100kHz、VCO12の発振周波数 f_{vo} は100.2MHzとなる。この時、

21

$N/K=1002/8=125.25$ となる。また、図3に示すタイムチャートは、図2に示す各回路部分の動作遅延時間がほぼ零と仮定して図示してある。図3の(1)、(2)、(3)は、それぞれ基準発振器11またはクロック発生部14からの出力である、周波数 f_{r0} 、 f_{r2} および f_{r1} の信号を表している。図3には、周波数 f_{r2} の周期を基準にして一周期毎に周期スロット番号 $t0 \sim t13$ の記号を付して示している。周波数 f_{r2} の一周期には、周波数 f_{r0} のパルスが8個含まれているので、一周期毎に先頭のパルスから順にパルス番号 $p1 \sim p8$ の符号を付している。図3の(4)～(9)は、タイミング発生器143からの出力信号である、クロック $Fr21$ 、 $Fr22$ 、 $Fr23$ 、 $Fr24$ 、 $Fr25$ および $Fr27$ を示す。これらクロックの周波数は、 f_{r2} と等しく、その正パルス幅は、 f_{r0} パルスの幅と等しいとする。クロック $Fr2X$ の X は f_{r0} パルスのパルス番号の数字に等しい X 位置にパルスがあることを示す。図3の(10)～(12)は、クロック $Fr16$ 、 $Fr17$ 、 $Fr18$ を示す。これらクロックの周波数は f_{r1} と等しく、その正パルス幅は f_{r0} パルスの幅と等しいとする。図3では、クロック $Fr16$ 、 $Fr17$ 、 $Fr18$ はスロット番号 $t3$ 、 $t11$ にパルスがあり、クロック $Fr1X$ の X は f_{r0} パルスのパルス番号の数字に等しい X 位置にパルスがあることを示す。以上のように、原則として、回路ブロック番号(17～20)が大きくなると、上記 X を大きくすることによってクロックの位相を順次遅らせて安定な動作を得ている。

・【0065】図3の(13)～(18)は、図1の位相同期ルー *

表2

$2\pi:1000$ 、 $K=8$ 、 $N=1002$

信号	標本化ステップ							
	1	2	3	4	5	6	7	8
カウンタ出力 Ci	125	250	375	501	626	751	876	1002
標本化増分 Di	125	125	125	126	125	125	125	126
微分位相 ΔVi	1000	1000	1000	1008	1000	1000	1000	1008
基準微分位相 ΔRi	1002	1002	1002	1002	1002	1002	1002	1002
微分位相誤差 ΔHi	-2	-2	-2	+6	-2	-2	-2	+6
位相誤差 $Hi1$	0	-2	-4	+2	0	-2	-4	+2
位相誤差 $Hi2$	+2	0	-2	+4	+2	0	-2	+4
位相誤差 $Hi3$	+4	+2	0	+6	+4	+2	0	+6
位相誤差 $Hi4$	-2	-4	-6	0	-2	-4	-6	0

・【0067】レジスタ192は、引算器181の出力をクロック $Fr25$ 毎に積分した値を出力する。例えば、分周数 N が900から1002に変化した直後には微分位相比較器18からは大きな数値が出力されて $VCO15$ の周波数は高くなり、 $VCO15$ の周波数が高くなると微分位相比較器18からの出力値は小さくなっていく。これらの値は、レジスタ192および加算器191で累積加算され、位相同期後は、量子化誤差によってある値の前後で揺らぐ値となる。

・【0068】図2に示す実施例において、分周数 N が新しい値に設定されると、タイマ226の出力信号 ST は「0」

22

* Φ が同期しているときの各部の出力を波形または変化点で示している。図3の(13)は、アップ・カウンタ16のキャリ出力 CA を示し、図3の(14)は、フリップ・フロップ177の Q 出力を示す。図3の(15)～(18)は、それぞれフリップ・フロップ171、172、175およびレジスタ192の Q 出力の変化点を示したものである。フリップ・フロップ171が、クロック $Fr22$ によってスロット $t1 \sim t8$ でバス $B16$ 上のカウンタ16の数値 $S1 \sim S8$ を標本化したと仮定すると、その出力をクロック $Fr21$ によって標本化するフリップ・フロップ172の出力は図3の(16)のようになる。図3の(17)は、フリップ・フロップ171の出力からフリップ・フロップ172の出力を引算器173で引いた値にキャリ補正を加算器174で行なった値をクロック $Fr23$ によってフリップ・フロップ175が標本化した数値 $D1 \sim D8$ を示す。この例では、キャリ出力 CA がスロット $t4$ と $t12$ で出ているので、フリップ・フロップ177は、クロック $Fr24$ でリセットされるまで「1」を出力する。この「1」出力の間、セクタ178からは、分周数 $N=1002$ が出力されるので、スロット $t4$ 、 $t12$ におけるフリップ・フロップ175の出力 $D4$ と $D12$ とはキャリが補正された値となる。引算器181の出力は、分周数 $N=1002$ からフリップ・フロップ175の出力を $K=8$ 倍した値を引いた値となる。例えば、表2に示す ΔHi のようになる。

・【0066】

・【表2】

となり、セクタ205は、 A 端子入力信号を Y 端子から位相誤差信号 θ として19桁バス $B205$ に出力し、バス $B19$ 上の位相誤差信号は、積分回路を経ずに信号処理器20から出力される。これにより、 D/A 変換器21には高速に次々と新しい誤差信号が供給されるので、 $VCO15$ の周波数は急速に新しい分周数に対応した周波数に近づく。タイマ226の出力信号 ST が「1」になると、バス $B19$ 上の誤差信号は、信号処理器20において積分されて出力されるので、 $VCO15$ の周波数は比較的ゆっくりと最終周波数に接近し、安定状態となる。以上の構成は、アナログフィ

23

ルタを含んでいないので、位相同期ループの引込みは本質的に高速である。更に、信号処理器20のフィルタ構成とその動作時間を位相同期ループ利得から解析的、実験的に最適化することによって安定な高速同期引込みが可能となる。

・【0069】また、図2に示す実施例において、ある分周数NでバスB12上の初期値 θ_i が零の場合に位相同期が確立したときの正規化器206の出力値を θ_0 とする。次に、他の分周数から上記分周数Nに変更する時、初期値 θ_i として上記の値 θ_0 そのまま、またはその近似値をNと同時に設定することによって、一層高速に同期引込みが可能となる。

・【0070】図2に示す実施例において、可変分周器であるカウンタ16が分周数Cのプリスケアラと可変分周数MのモジュロMカウンタとの従属接続で構成されている場合、総合分周数Nは $N=C \cdot M$ となる。基準信号微分位相 ΔR としてMを採用する場合は、モジュロMカウンタの相隣合う標本化値の差分を実施例通りK倍した値を鋸歯信号微分位相 ΔV とすることにより、本発明の目的を達成することができる。しかし、基準信号微分位相 ΔR としてNを採用する場合は、モジュロMカウンタの相隣合う標本化値の差分を $C \cdot K$ 倍した値を鋸歯信号微分位相 ΔV とすることにより、本発明の目的を達成することができる。

$$f_{vo} = \{P2 \cdot S + P1 \cdot (M - S)\} \cdot f_{rl} \equiv N \cdot f_{rl} \quad (\text{数 } 3)$$

・【0074】 ※ ※・【数4】

$$N = P2 \cdot S + P1 \cdot (M - S) = C (PM + S) \quad (\text{数 } 4)$$

ここで、P1とP2の関係は、

・【0075】 ★・【数5】

$$P1 = C \cdot P, \quad P2 = C \cdot (P + 1) \quad (\text{数 } 5)$$

であり、Pは2のp乗または10のp乗、CはPに対応して2進数か10進数であるが1に設定されることが多い。発振周波数を変えるには少なくとも分周数M、Sの一方を変えて行なう。この実施例では、 $P1=128$ 、 $P2=129$ 、 $C=1$ とする。

・【0076】周波数シンセサイザ30は、基準発振器11、クロック発生部14、VCO15、2モジュラス・プリスケアラ31、スワロー・カウンタ32、メイン・カウンタ33、標本化微分位相発生部17、微分位相比較器18、積分器19、信号処理部20およびD/A変換器21を有している。図4に示す実施例において、図2に示す実施例と同じ機能を果たす部分についてはビット幅が異なっても同じ記号を付している。また、基準発振器11とクロック発生部14とが発生する各種クロックの周波数は、図2と同じとする。VCO15の出力信号は、プリスケアラ31のCK端子に入力される。プリスケアラ31は、分周数P1とP2とを有しており、M端子に入力される信号により2つの分周数の一方が選択される。プリスケアラ31は、その選択された分周数でCK端子入力信号を分周して分周クロックCPを線S31上に出力する。線S31上の分周クロックCPは、ス

24

・【0071】なお図2に示す実施例において、基準発振器、VCOおよびD/A変換器を除く各パーツは、汎用のECLやCMOSやTTLロジックICを用いて容易に構成できる。あるいは、部分的に信号処理プロセッサなどを用いてソフトウェアによる信号処理によって本実施例の機能を実現可能なことも明らかである。また、最近の半導体技術を用いることにより、基準発振器およびVCOの構成要素である共振素子を除く全ての構成要素をモノリシック基板上に1チップ集積化できることも明らかである。

・【0072】図4は、可変分周器側に2モジュラス・プリスケアラを用いた場合の実施例を示している。VCOの発振周波数が高い場合、2つの分周数P1、P2を有する2モジュラス・プリスケアラと、分周数Mを有する可変分周メイン・カウンタと、分周数Sを有する可変分周スワロー・カウンタとから構成されたパルス・スワロー式可変分周器が一般に用いられる(参考文献:V. Manassewitsch, "Frequency Synthesizers Theory and Design", p. 355-362, John Wiley & Sons, New York, 1976)。この時、VCO発振周波数 f_{vo} は基準第一クロック周波数を f_{rl} とすると、下記数3となる。

・【0073】

・【数3】

★・【数5】

ワローカウンタ32とメインカウンタ33とのCK端子に入力される。例えば、図4において、 $f_{vo}=1\text{GHz}$ 程度、 $f_{rl}=12.8\text{MHz}$ 、 $L=32$ 、 $K=32$ とすると、上記数3のNは80,000程度となる。 $P1=128$ であるのでこの場合、カウンタ32、33のビット数はそれぞれ7、10ビットとなる。バスB11上の分周数Nの下位7桁(S)はスワローカウンタ32に、その上位10桁(M)はメインカウンタ33にDT端子から入力される。カウンタ32は、分周数Sを計数し終わるまでCA端子から線S32上に出力する分周数選択信号MDによってプリスケアラ31の分周数をP2に設定し、その間カウンタ33も同時に計数を行なっている。カウンタ32の計数が終了すると、線S32上の選択信号MDによってプリスケアラ31の分周数は、P1が選択され、その後カウンタ33のみが計数を続行する。カウンタ33が、分周数Mの計数を終了すると、CA端子から線S33上に出力するキヤリ信号によりカウンタ32、33にそれぞれ分周数S、Mを再度DT端子から入力する。それと共に、プリスケアラ31の分周数はP2が選択されてカウンタ32および33は新たに計数を開始する。カウンタ32の計数内容は、端子Q0～Q6からバスB32に出力される。カウンタ33の計数内容

25

は、端子Q0~Q9からバスB31に出力される。バスB16上では、バスB32上のデータは下位桁、バスB33上のデータは上位桁として17ビットデータに統合され、標準化微分位相発生器17内の17桁のDフリップ・フロップ171のD端子に入力される。線S33上のキャリ信号は、フリップ・フロップ177のS端子に入力され、選択信号SNを生成する。今述べた可変分周器を除いて、周波数シンセサイザ30の構成要素は図2に示す実施例の構成要素と同じである。但し、図2より分周数Nのビット数が4ビット増加しているため、回路ブロック17~19内の多ビット回路要素、回路ブロック20内の回路要素201~205および各バスのビット数が4ビット増えている。D/A変換器21のビット数は、応用システムに応じて定められ、この例では19ビットである。なお、基準信号微分位相 ΔR として数4のNを用いた場合は、標準化微分位相発生器17内の乗算器176における定数はCKである。基準信号微分位相 ΔR として数4から導いた N/C を用いた場合は、標準化微分位相発生器17内の乗算器176における定数はKである。この周波数シンセサイザ30の本発明に係る基本動作は、カウンタ32、33の内容が標準化微分位相発生器17によって標準化されることを除いて、図2に示す実施例と同様である。従って、本発明の目的を達成することができる。

・【0077】図5は、可変分周器側に2モジュラス・プリスケアラを用いた場合の他の実施例を示している。周波数シンセサイザ30は、基準発振器11、クロック発生部14、VCO15、2モジュラス・プリスケアラ31、スワロー・カウンタ32、メイン・カウンタ33、プリスケアラ微分位相発生部37、微分位相比較器18、積分器19、信号処理部20およびD/A変換器21を有している。全体の構成は、図4に示す実施例における標準化微分位相発生部17に代わって、プリスケアラ微分位相発生部37を用いる以外、図4に示す構成と同一である。また、基準発振器11とクロック発生部14とが発生する各種クロックの周波数は図2と同じとする。プリスケアラ微分位相発生部37は、セレクト371、加算器372、レジスタ373、フリップ・フロップ374および乗算器375を有している。8桁セレクト371のA入力端子には分周数P1、B入力端子には分周数P2、S端子には分周数選択信号MDがそれぞれ入力される。セレクト371のY出力端子からは、分周数選択信号MDが選択する2モジュラス・プリスケアラの分周数に対応した分周数が8桁バスB371上に出力される。バスB371上の信号は13桁加算器372の下位8桁に入力される。加算器372の加算出力は、13桁のバスB372を経て13桁レジスタ373のD入力端子に入力される。レジスタ373のD入力端子信号は、C端子に入力される線S31上のクロックCPによってQ端子に伝達され、13桁バスB373に出力される。バスB373上の信号は加算器372のもう一つの入力端子に入力される。また、バスB373上の信号は、13桁フリップ・フロップ374のD端子に入力され、C端子

26

に入力される線T1上のクロックFr21によってQ端子に伝達され、13桁バスB374に出力される。このクロックFr21がフリップ・フロップ374に入力された後、セレクト373は、R端子に入力される線T2上のクロックFr22によってリセットされる。この結果、バスB374上の信号は、バスB371上の信号をクロックCPによって周期 $1/f_r2$ 間累積した値となる。本実施例では、クロックCPの周波数は8MHz弱であり、周波数 f_r2 は400kHzであるので、加算器372とレジスタ373の桁数は13桁となる。乗算器375はバスB374上の信号に $K=2^5$ を乗算し、乗算結果を18桁バスB37に出力する。乗算器375の機能はバスB374上の上位へ5桁シフトしてバスB37に出力することにより実現できる。バスB37上の鋸歯信号微分位相情報 ΔV は微分位相比較器に供給される。

・【0078】この実施例では、基準信号微分位相 ΔR として数4に示すNを用いる。セレクト371のA端子、B端子に入力されるP1、P2の代わりに、それぞれ $P1/C$ 、 $P2/C$ を用いた場合は、基準信号微分位相 ΔR として数4から導いた N/C を用いるか、乗算器375における乗数をCKとする。

・【0079】図5に示すプリスケアラ微分位相発生部37の効果は、図4に示す実施例中の標準化微分位相発生部17と比較して回路規模が小さいことである。すなわち、図4に示す実施例中の標準化微分位相発生部17において標準化差分を採った後、キャリ補正する部分が、図5に示す実施例では、加算器372とレジスタ373からなる累算器のみで構成されており、かつ、回路ビット数が減っている。この結果、LSI回路の回路規模低減と消費電流の低減の効果がある。

・【0080】以上の図2、図4および図5に示す実施例において、VCO15の発振周波数 f_{vo} と基準第一クロックの周波数 f_{r1} との関係は、

$$f_{vo} = (N/K) \cdot K \cdot f_{r1} \quad (\text{数5})$$

となる。この N/K は一般に非整数となるが、標準化による切捨て誤差は位相の差分、すなわち、微分位相を求めることによって累積されない。この結果、微分位相比較器18の出力を任意の一周期 $1/f_{r1}$ にわたって積分した積分器19の出力は、表2に示すように零となる。すなわち、本発明の第2の目的を達成することができる。

・【0081】図6は、図1に示す鋸歯状波鋸歯信号発生部16として可変ステップ数値Nsを有する数値制御発振器を用いた場合の実施例である。周波数シンセサイザ40は、基準発振器11、クロック発生部14、VCO15、プリスケアラ41、数値制御発振器微分位相発生部47、微分位相比較器18、積分器19、信号処理部20およびD/A変換器21を有している。同実施例は、プリスケアラ41と数値制御発振器微分位相発生部47とを除いて図2の実施例と同じ構成とする。また、基準発振器11とクロック発生部14が発生する各種クロックの周波数は図2と同じとする。分周数Cを有するプリスケアラ41は、周波数 f_{vo} を

27

有するVCO15の出力信号を分周して、分周クロックCPを線S41上に出力する。

・【0082】数値制御発振器は、ステップ数値Nsを分周クロックCPによって一周期 $1/f_{r1}$ 間累積する動作を*

$$Ns = N / [(f_{v0}/C) (1/f_{r1})] \quad (\text{数6})$$

従って、VCO15の発振周波数 f_{v0} を変えるには、上記Nを一定としてステップ数値Nsを変化する。ここで、周波数 f_{v0} は1GHz、分周数Cは64、周波数 f_{r1} は12.5kHzとすると、数6に示す分母の値は1250となる。例えば、 $N=1250 \times 2^{20}$ とすると、 $Ns=2^{20}$ となる。この数値制御発振器の累積内容を周波数 $K \cdot f_{r1}$ 毎に標準化して、図2に示す実施例における標準化微分位相発生部17と等価な回路によって微分位相を求めることができる。しかし、図6に示す実施例は、図5に示す実施例のプリスケアラ微分位相発生部37と類似の数値制御発振器微分位相発生部47によって微分位相を求める。

・【0084】数値制御発振器微分位相発生部47は、加算器471、レジスタ472、フリップ・フロップ473および乗算器474を有している。インタフェイス部22からのバスB11上の20桁の数値Nsは26桁加算器471の下位20桁に入力される。加算器471の加算出力は26桁のバスB471を経てレジスタ472のD入力端子に入力される。26桁レジスタ472のD入力端子信号は、C端子に入力される線S41上のクロックCPによってQ端子に伝達され、26桁バスB472に出力される。バスB472上の信号は、加算器471のもう一つの入力端子に入力される。また、バスB472上の信号は、26桁フリップ・フロップ473のD端子に入力され、C端子に入力される線T1上のクロック $Fr21$ によってQ端子に伝達され、26桁バスB473に出力される。このクロック $Fr21$ がフリップ・フロップ473に入力された後、セレクト472は、R端子に入力される線T2上のクロック $Fr22$ によってリセットされる。この結果、バスB473上の信号は、クロックCPによって数値Nsを周期 $1/f_{r2}$ 間累積した値となる。本実施例では、クロックCPの周波数は16MHz弱であり、周波数 f_{r2} は400kHzであるので、加算器471とレジスタ472の桁数は26桁となる。乗算器474は、バスB473上の信号に $K=2^5$ を乗算し、乗算結果を31桁バスB47に出力する。乗算器474の機能は、バスB473上の上位へ5桁シフトしてバスB47に出力することにより実現できる。バスB47上の鋸歯信号微分位相情報 ΔV は微分位相比較器に供給される。

・【0085】この実施例では、基準信号微分位相 ΔR として数4から導いた $N=1250 \times 2^{20}$ を用いる。基準信号微分位相 ΔR として $N/K=1250 \times 2^{15}$ を用いる場合は、上記実施例の乗算器474を省略することができる。また、微分位相比較器18から出力される比較結果が、ある応用システムにおいて、例えば、上位5ビットが変化しない場合、この上位5ビットを省略することができる。更に、そのシステムで許容される量子化誤差に基づくシンセサイザの周波数揺らぎに応じて下位ビットの何

28

*繰り返す。この累積最大値をNとすると、ステップ数値Nsは数6によって与えられる。

・【0083】

・【数6】

(数6)

ビットかを省略することができる。これらの結果、この実施例では、例えば、バスB18のビット数を20桁とした。

・【0086】図6に示す実施例では、たとえ $C=1$ 、すなわち、プリスケアラ41がバイパスされた場合でも、周波数 f_{v0} が $n \cdot f_{r1}$ （ただし、 n は自然数）の各種値をとると、数6よりステップ数値Nsは一般に非整数となり、有限語長では表せない。すなわち、本発明の第3の目的を達成することができない。しかし、図6に示す実施例が本発明の第1および第2の目的を達成できることは、図2、図4および図5に示す実施例と同じである。

・【0087】以上の実施例における構成要素回路のビット数、例えば、カウンタとD/A変換器とのビット数は本発明による周波数シンセサイザを適用するシステムに依存して決定すべきものであり、実施例のビット数は一例にすぎない。また、実施例における演算は2進数演算で行なっているが、任意の数を底とする演算においても本発明が有効なことは明らかである。また、本発明の理念を逸脱しない範囲で、各部回路の構成を変更できることも明らかである。

・【0088】つぎに、通信装置に本発明による周波数シンセサイザを用いた場合の構成図を図5に示す。

・【0089】図7に示す通信装置50は、前述の周波数シンセサイザ30と、周波数シンセサイザ30からの発振信号をもとにして情報を送信する送信部501と、周波数シンセサイザ30からの発振信号をもとにして情報を受信する受信部502と、前記送受信部との情報の授受および周波数シンセサイザを制御するための装置制御部503とを備える。また、送信および受信に使用するアンテナ505と、送信信号と受信信号とを分波するための分波器504とをさらに備える。装置制御部503は、前述のマイクロプロセッサを含み、周波数シンセサイザに対して発振周波数を変更するための分周数Nや初期値 θ_i を与えることができる。また、装置制御部503は、必要に応じて送信部501および受信部502の制御をすることができ、また、マン・マシンインタフェイスを含む。送信部501および受信部502は、それぞれ、周波数シンセサイザ30からの発振信号に従って、送受信することができる。

・【0090】本発明による周波数シンセサイザは、高速な周波数切替が必要な移動通信装置に適している。本発明によれば、高速周波数切替が可能となり、周波数切替が遅い周波数シンセサイザを2台並列に設けて交互に動作させて高速化を図った装置よりも、小型の装置を実現できる効果がある。

29

・【0091】また、本発明による周波数シンセサイザを、測定装置などの各種装置に適用できることは自明である。

・【0092】さらに、本発明によれば、周波数シンセサイザの大部分がデジタル回路であり、全LSI化、または、VCOを除いた部分のLSI化が可能である。従って、小型の周波数シンセサイザ、またはそれを適用した小型の装置を実現できる効果がある。

・【0093】

・【発明の効果】本発明の二つの信号の微分位相を比較する位相同期ループ構成手法によれば、二つの信号の位相を直接比較した場合に位相誤差信号に生ずる 2π の位相ジャンプが無くなるために、回路規模を小さくできる効果がある。また、非同期標準化による量子化誤差も微分位相を採ることにより累積されずに基準信号の一周期間にわたる平均値は零となるので、正確で安定な周波数を発生する周波数シンセサイザを実現することができる。

・【図面の簡単な説明】

・【図1】本発明の基本概念を示す実施例である周波数シンセサイザの構成ブロック図。

・【図2】本発明の一実施例である2進カウンタを用いた周波数シンセサイザの回路ブロック図。

・【図3】図2の実施例における動作を説明する波形図。 *

30

・【図4】本発明の他の実施例である2モジュラス・プリスケラを用いた周波数シンセサイザの部分回路ブロック図。

・【図5】本発明の他の実施例である2モジュラス・プリスケラを用いた周波数シンセサイザの部分回路ブロック図。

・【図6】本発明の他の実施例である数値制御発振器を用いた周波数シンセサイザの部分回路ブロック図。

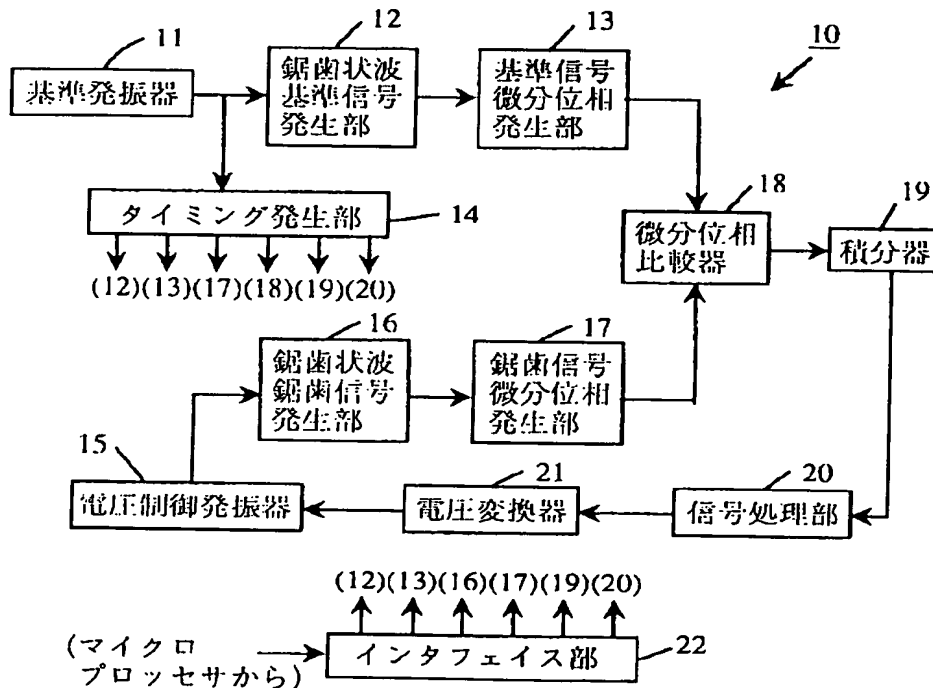
・【図7】移動通信装置に本発明による周波数シンセサイザを用いた場合の構成ブロック図。

・【符号の説明】

10・30・40…周波数シンセサイザ、11…基準発振器、13…基準信号微分位相発生部、14…タイミング発生部、15…電圧制御発振器、16…鋸歯状波鋸歯信号発生部／可変分周器、17…鋸歯信号微分位相発生部／標準化微分位相発生部、18…微分位相比較器、19…積分器、20…信号処理部、31…2モジュラス・プリスケラ、32…スロー・カウンタ、33…メイン・カウンタ、41…プリスケラ、171・172・175・204・209・374・473…Dフリップ・フロップ、192・202・373・472…レジスタ、174・191・201・207・372・471…加算器、173・181…引き算器、176・375・474…乗算器、203…割算器、178・205・208・371…セクタ、177…RSフリップ・フロップ。

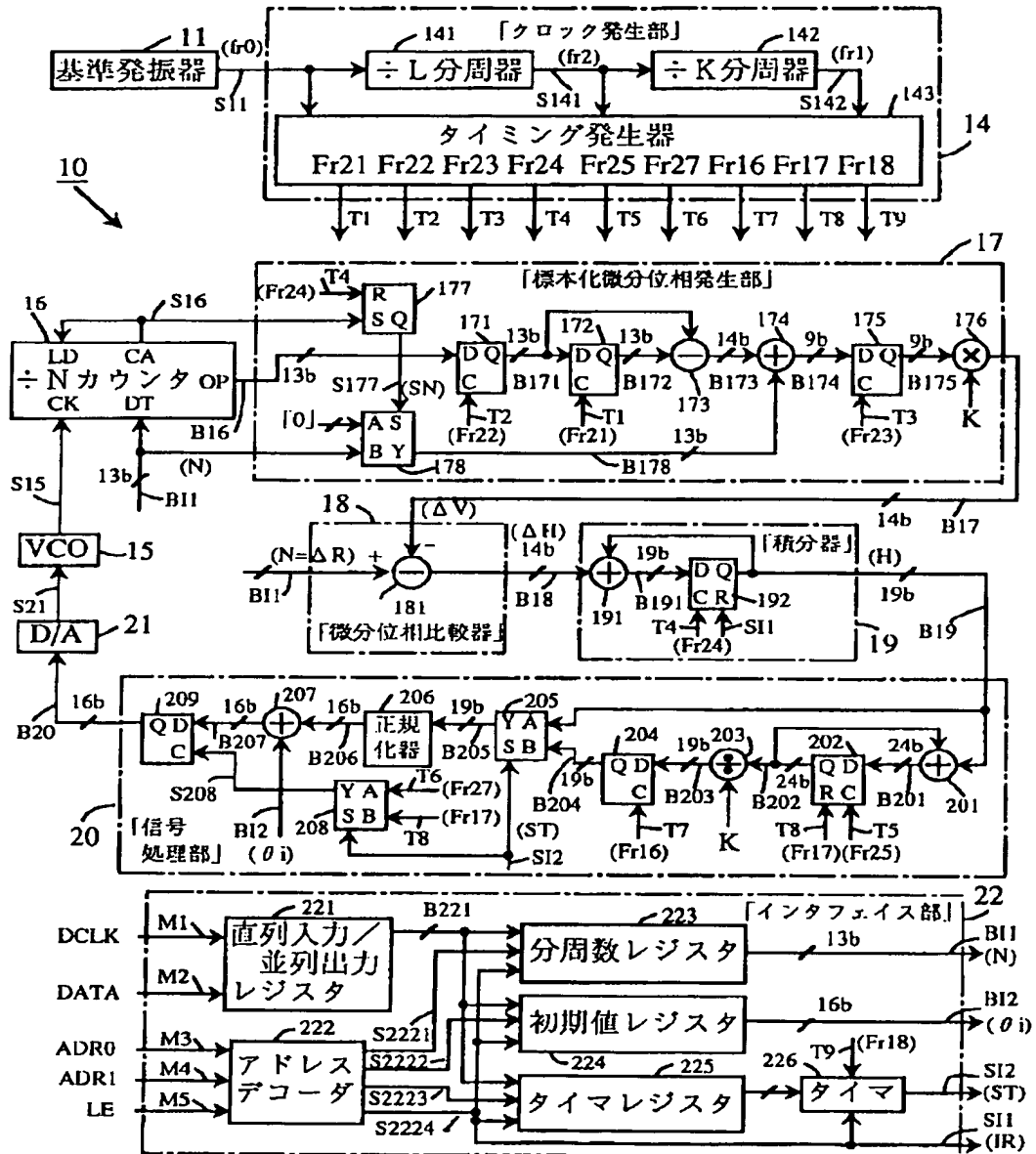
・【図1】

図1 (本発明の基本実施例を示すブロック図)



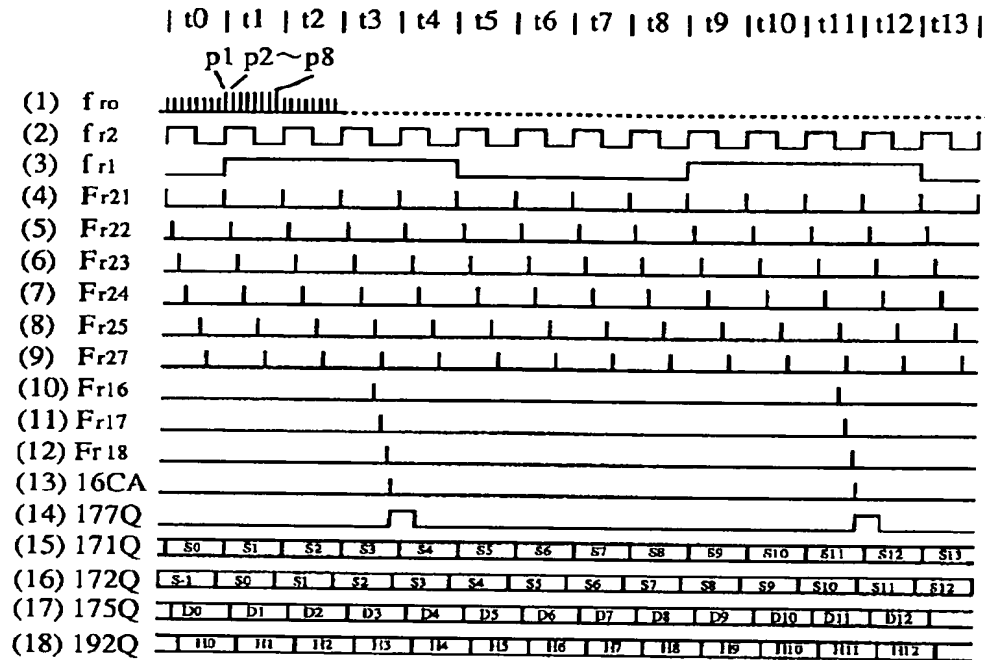
〔図 2〕

図 2 (2進モジュロNカウンタを用いた場合の実施例を示すブロック図)



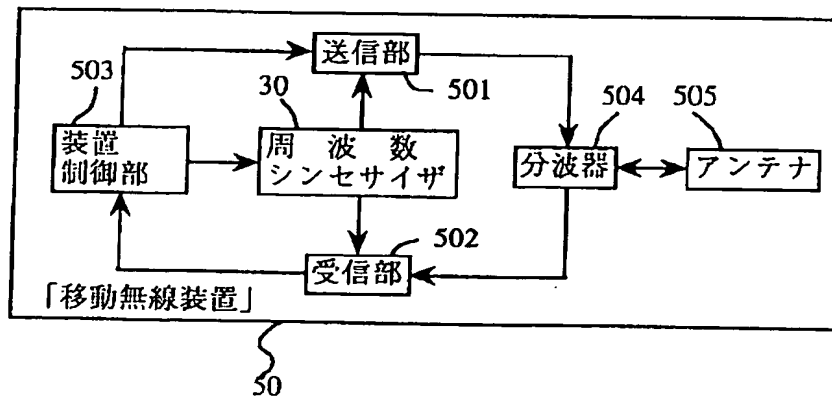
〔図 3〕

図 3 (図 2 の実施例の動作を示すタイミング図)



〔図 7〕

図 7 (周波数シンセサイザを用いた移動通信装置のブロック図)



・【図 4】

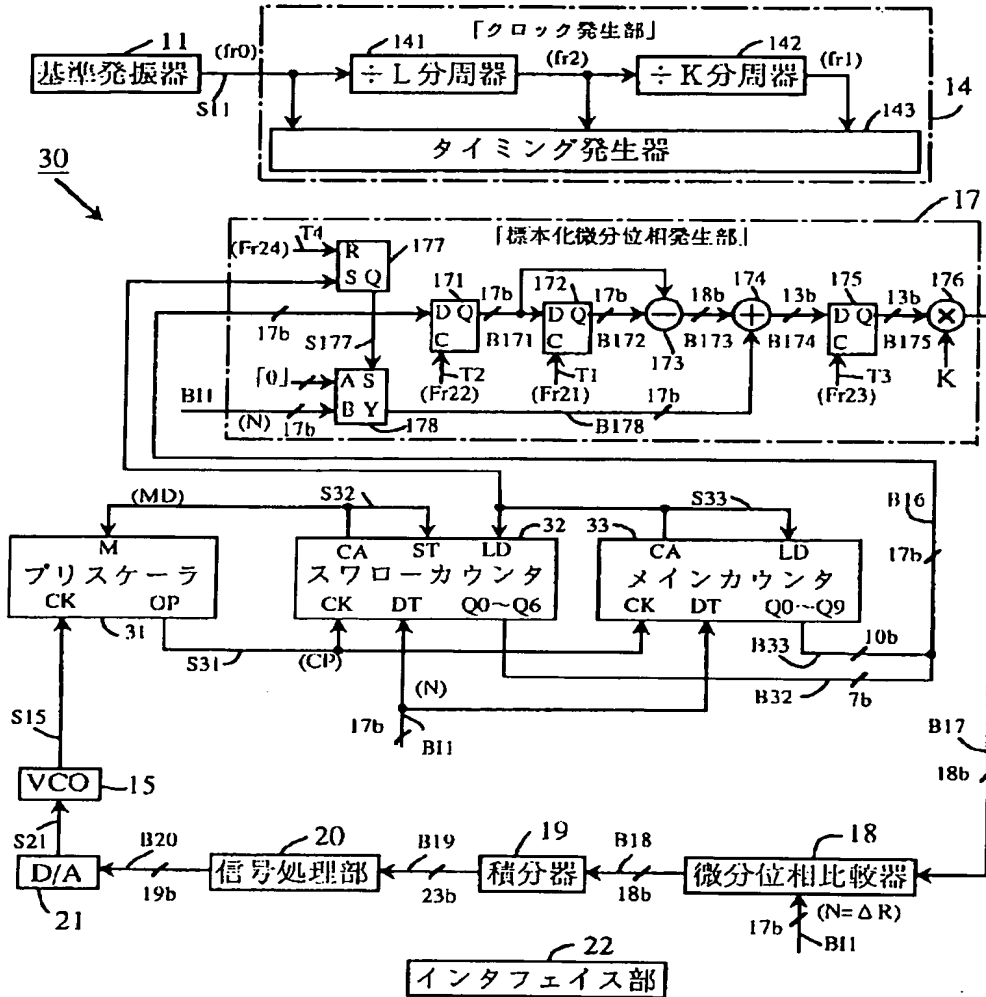
図 4 (2 モジュラス・プリスケアラを用いた
場合の実施例を示すブロック図)

図5 (2モジュラス・プリスケアラを用いた
場合の他の実施例を示すブロック図)

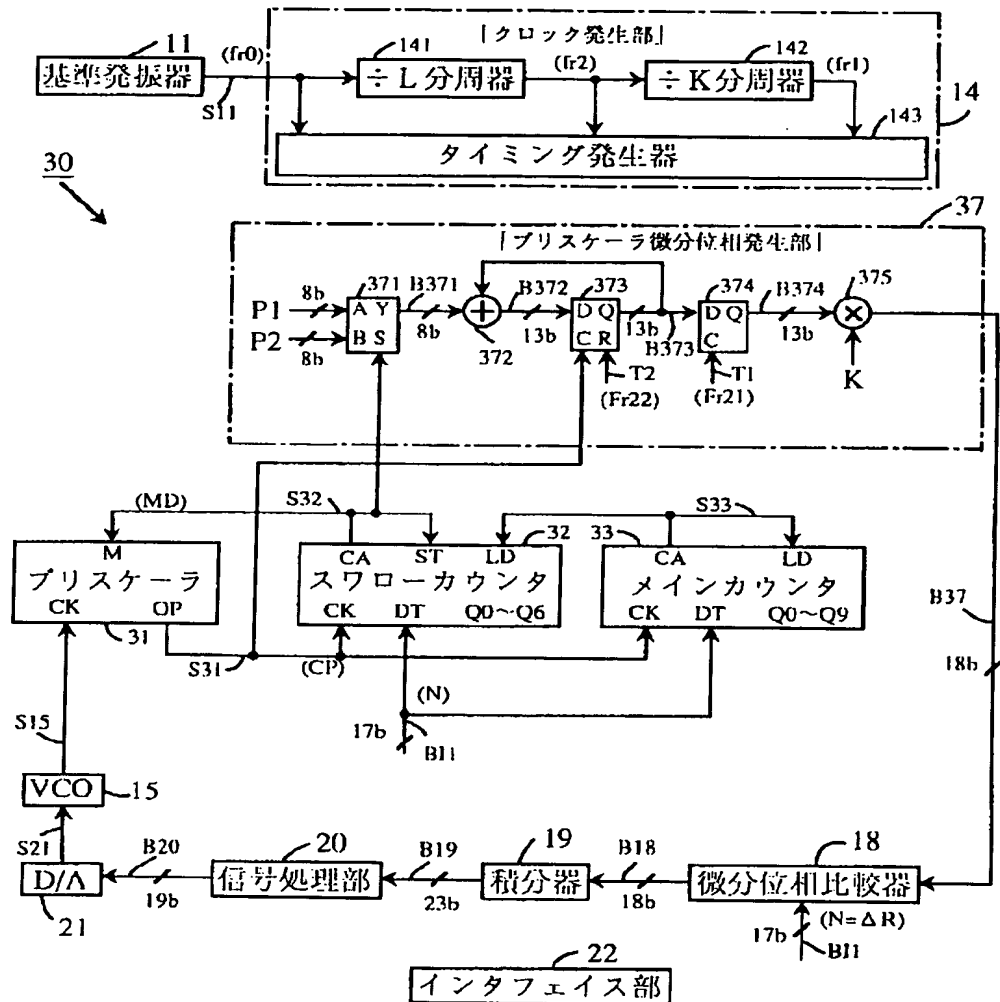
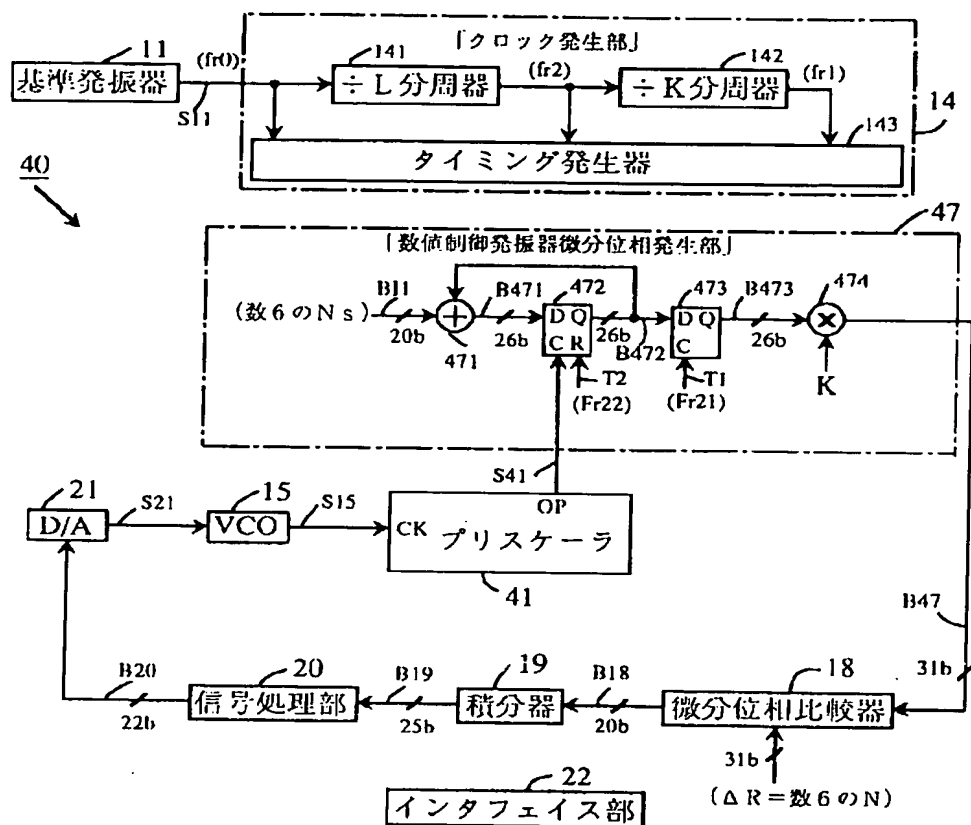


図6 (数値制御発振器を用いた場合の実施例を示すブロック図)



C

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

TECHNICAL FIELD

[Industrial Application] This invention relates to the equipment using the frequency synthesizer and it for which the phase-locked loop was used. It is related with the technique and construction of the frequency synthesizer suitable for a migration communication device with required changing a communication link frequency to a high speed especially.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the equipment using the frequency synthesizer and it for which the phase-locked loop was used. It is related with the technique and construction of the frequency synthesizer suitable for a migration communication device with required changing a communication link frequency to a high speed especially.

[0002]

[Description of the Prior Art] Various kinds of approaches are learned (reference: V. Manassewitsch, "Frequency Synthesizers Theory and Design", pp.1-39, John Wiley & Sons, New York, 1976), and, as for the construction of a frequency synthesizer, the construction using a phase-locked loop is especially used well by development of an integrated circuit. In the migration communication device which has many communication channels, a phase-locked loop is constituted using a voltage controlled oscillator (VCO is called hereafter), a variable divider, and a crystal oscillator, the number of dividing of a variable divider is chosen, and a required communication channel frequency is generated. After a phase comparator's comparing the phase of the signal which carried out dividing of the output signal of VCO by the variable divider, and the reference signal generated from the crystal-oscillator output signal and integrating with the comparison result of an analog value with a filter, it is impressed by the frequency control terminal of VCO. Since harmonic content etc. is contained in this phase comparison result, in order to remove these components, it is necessary to enlarge the integration time constant of the above-mentioned filter. The capacity value of the capacitor which constitutes a filter especially becomes comparatively large. For this reason, if the number of dividing of a variable divider tends to be changed and it is going to change a communication channel frequency, since the charge and discharge of a capacitor will take time amount, there is a problem that a frequency cannot be changed to a high speed. [0003] Since the above-mentioned problem will arise if a phase comparator output is outputted with an analog value, the construction of the frequency synthesizer which solves this is proposed (reference: Kajiwar, PLL synthesizer" in which the Nakagawa "high-speed frequency hopping is possible, the Institute of Electronics, Information and Communication Engineers paper magazine, B-II, Vol. J73-B-II, No.2, pp.95 February, 1990 [-102 or]). This proposal method is called a numerical phase-comparison direct-current-ized frequency synthesizer method here. Shortening of frequency switching time is in drawing by making a filter unnecessary by this conventional technique's performing the phase comparison itself by math-processing processing, and removing the harmonic content contained in a comparison result by the simple operation. In this frequency synthesizer, it is made to increase every $[K]$ and the topology of the reference signal which has a period T is inputted into a phase comparator at every periodic T/K (K is an integer) as $2\pi / a$ a steer step waveform reset to every period T . On the other hand, dividing of the output signal of VCO is carried out by the modulo N counter of the number N of integer dividing, and after the content of the counter is normalized by $2\pi/N$, it is inputted into a phase comparator for every periodic T/K as topology. Numerical subtraction is carried out and two topology inputted into the phase comparator is outputted from a phase comparator. If the initial phase of both

topology is not in agreement even if the frequency of two signals inputted into a phase comparator is in agreement at this time, the jump of 2π will arise in a phase comparator output. With a phase correction vessel, a phase compound value is direct-current-ized by doing 2π shift of one side of the both sides of this jump. In this direct-current-ized actuation, the mathematics operation of a bottom type is carried out to the output E of a phase comparator, and the direct-current-ized phase error E is searched for.

[0004] $E' = \text{mod}\{(E + 3\pi) 2\pi\} - \pi$ -- here, $\text{mod}\{A, B\}$ shows the remainder when A by B . After at least this direct-current-ization changes a phase compound value into an analog value with a D/A converter, it is impressed by the frequency control terminal of VCO. If the VCO oscillation frequency f_V sets a reference signal frequency to f_{r1} at this time, it will become one bottom type.

[0005]

[Equation 1] $f_V = (N/K) - (K - f_{r1})$ (several 1) In this way, since the phase compound value is direct-current-ized, a filter becomes unnecessary and the high-speed frequency change of it is attained.

Moreover, a high-speed change is attained, so that sampling-frequency $K - f_{r1}$ is so high that K is large.

[0006]

[Problem(s) to be Solved by the Invention] In the above-mentioned existing numerical phase-comparison direct-current-ized frequency synthesizer, there is the 1st problem that the circuit magnitude of the phase correction machine which direct-current-izes the output of a phase comparator is large.

[0007] Moreover, in one above of a numerical phase-comparison direct-current-ized frequency synthesizer, if the content of the modulo N counter is sampled for every periodic T/K when N/K is not an integer, the phase error by the fraction omission of N/K will occur. Therefore, there is the 2nd problem that a generating frequency is not thoroughly in agreement with a predetermined frequency. For example, the constant A by which K is equivalent to 8 and N is equivalent to 1002 and 2π sets to 1000. In this case, the normalization phase value V_i , the reference signal phase value R_i , and the phase error H_i which carried out the multiplication of constant A/N and normalized it to the sampling value C_i ($i=1-8$) of a modulo N counter become as it is shown in a table 1.

[0008]

[A table 1]

表 1

$2\pi : 1000, K=8, N=1002$

信号	標準化ステップ							
	1	2	3	4	5	6	7	8
カウンタ出力 C_i	125	250	375	501	626	751	876	1002
正規化位相 V_i	124.75	249.50	374.25	500.00	624.75	749.50	874.25	1000.0
基準位相 R_i	125	250	375	500	625	750	875	1000
位相誤差 H_i	-0.25	-0.50	-0.75	0.0	-0.25	-0.50	-0.75	0.0

[0009] The condition of saying that it does not become zero for every sampling, and a round term average phase error of the phase error H_i does not become zero, either generates the phase error H_i of the reference signal phase value R_i and the normalization phase value V_i . Although the normalization phase value V_i and the phase error H_i are closed by the 2nd place below decimal point and it has displayed in a table 1 in order to simplify a display, the above-mentioned condition is a problem produced even if the infinity word length expresses them. Therefore, in the frequency synthesizer of this method, when N/K is except an integer, there is a problem that an exact frequency cannot be generated.

[0010] When carrying out dividing of the RF signal, the prescaler of the number P of dividing may be inserted before a variable divider for frequency reduction, but at this time, generally, since it is not equal to K , P has the problem of the same fraction generating as the above.

[0011] Moreover, in the above-mentioned existing numerical phase-comparison direct-current-ized frequency synthesizer, the content of the modulo N counter is normalized by A/N using the constant A which has digital processing instead of phase 2π of a round term so that easily. N is changed to on the

other hand changing the frequency which a synthesizer generates. Therefore, generally A/N becomes nonintegral. Even if it sets up a constant A quite greatly, on conditions from which N changes every $[1]$, a great portion of A/N becomes nonintegral. For this reason, since an error arises in the normalization topology of a counter, there is the 3rd problem that exact frequency generating cannot be performed.

[0012] The 1st object of this invention has an unnecessary phase correction machine, and is offering the construction of the frequency synthesizer which can reduce circuit magnitude.

[0013] The 2nd object of this invention is to be able to perform exact frequency generating and to enable a high-speed frequency change, even when N/K ($K > 1$) is not an integer.

[0014] The 3rd object of this invention is losing normalization processing of topology and offering the frequency generating technique exact and stabilized at a high speed except for the error accompanying normalization.

[0015] Other objects of this invention are to enable a high-speed frequency change in the frequency synthesizer configuration which used the prescaler and the variable divider which contained 2 modulus prescaler especially.

[0016] Other objects of this invention are offering the frequency synthesizer which can realize most or all of a frequency synthesizer with a semiconductor integrated circuit.

[0017] In the migration communication device which has many communication channels, other objects of this invention are offering the frequency synthesizer which can realize frequency switching time of one or less ms, even if the channel spacing is about 10kHz.

[0018]

[Means for Solving the Problem] The technique of solving simultaneously the 1st, 2nd, and 3rd troubles of the above is as follows.

[0019] The electrical potential difference/current-controlled oscillator which controls an oscillation frequency by the electrical potential difference or the current, and outputs an oscillation signal, In the frequency synthesizer which has the criteria oscillator which outputs the reference signal of a predetermined frequency, constitutes a phase-locked loop, and controls an oscillation frequency A reference signal differential phase generating means to extract topology from the reference signal of said criteria oscillator, and to output in quest of a differential phase, An oscillation signal differential phase generating means to extract topology from the oscillation signal of said electrical potential difference/current-controlled oscillator, and to output in quest of a differential phase, The differential phase comparator which outputs this differential phase difference in quest of the difference of the differential phase from said reference signal differential phase generating means, and the differential phase from said oscillation signal differential phase generating means, The above-mentioned technical problem is solved by having the integrator which integrates with said differential phase difference and is outputted in quest of a phase error, the signal-processing section which carries out signal processing to the output signal of said integrator, and the converter which changes the output signal of said signal-processing section into an electrical potential difference or a current.

[0020] Said oscillation signal differential phase generating means samples the oscillation signal of said electrical potential difference/current-controlled oscillator, extracts topology, makes topology a saw tooth waveform and is equipped with the serration signal generator generated repeatedly and the serration signal differential phase generating section outputted in quest of a differential phase based on the topology of the saw tooth waveform of said serration signal generator.

[0021] Said serration signal generator is repeat frequency f_r (however, f_r frequency of arbitration) based on said oscillation signal. H (however, H natural number) time sampling is carried out per period, topology is made into a saw tooth waveform, and a serration signal is outputted. Said serration signal differential phase generating section The topology in which the serration signal from said serration signal generator gets mixed up is compared, and differential phase information is outputted in quest of a differential phase. Said reference signal differential phase generating means The serrate reference signal generating section which samples the reference signal of said criteria oscillator, extracts topology, makes topology a saw tooth waveform, and is generated repeatedly, Based on the topology of the saw

tooth waveform of said serrate reference signal generating section, it has the reference signal differential phase generating section outputted in quest of a differential phase. Said serrate reference signal generating section Based on said reference signal, it is repeat frequency f_r (however, f_r frequency of arbitration). It samples H times per period, topology of a reference signal is made into a saw tooth waveform, a serration signal is outputted, and said reference signal differential phase generating section compares the topology in which the serration signal from said serrate reference signal generating section gets mixed up, and outputs differential phase information in quest of a differential phase. Moreover, said serration signal generator is based on said oscillation signal, and is repeat frequency f_{r1} (however, f_{r1}). the time of setting to f_v the frequency which you want to oscillate in an electrical potential difference/current-controlled oscillator -- the relation of $f_v = N \cdot f_{r1}$ -- it is -- N set up in order to determine the oscillation frequency of the oscillation signal of per period, and said electrical potential difference/current-controlled oscillator Time sampling is carried out, topology is made into a saw tooth waveform, and a serration signal is outputted. (However, N natural number) The serration signal differential phase generating section The serration signal from said serration signal generator $1/(mKf_{r1})$ of periods (However, K and m natural number) every -- it samples, topology is extracted, the topology which gets mixed up is compared, the differential phase which searched for and searched for the differential phase is doubled mK , differential phase information is outputted, and you may make it the reference signal differential phase generating section output mN as differential phase information In this case, said serration signal generator is equipped with the counting-down circuit of the number N of dividing, a counting-down circuit repeats counting to N , enumerated data are outputted, when counting is carried out to N , a carry is outputted, and said serration signal differential phase generating section can output the difference which amended it as serration signal differential phase information, when a carry is outputted from said counting-down circuit.

[0022] Furthermore, said serration signal generator is based on said oscillation signal, and is repeat frequency f_{r1} (however, f_{r1}). the time of setting to f_v the frequency which you want to oscillate in an electrical potential difference/current-controlled oscillator -- the relation of $f_v = N \cdot f_{r1}$ -- it is -- N set up in order to determine the oscillation frequency of the oscillation signal of per period, and said electrical potential difference/current-controlled oscillator Time sampling is carried out and the serration signal which has the saw tooth waveform of maximum topology $C \cdot N$ (however, C natural number) is outputted. (However, N natural number) The serration signal differential phase generating section The serration signal from said serration signal generator $1/(Kf_{r1})$ of periods (However, K natural number) every -- it samples, extract topology, compare the topology which gets mixed up, the differential phase which searched for and searched for the differential phase is K doubled, differential phase information is outputted, and you may make it the reference signal differential phase generating section output CN as differential phase information

[0023] Moreover, a serration signal generator is based on said oscillation signal, and is repeat frequency f_{r1} (however, f_{r1}). the time of setting to f_v the frequency which you want to oscillate in an electrical potential difference/current-controlled oscillator -- the relation of $f_v = N \cdot f_{r1}$ -- it is -- N set up in order to determine the oscillation frequency of the oscillation signal of per period, and said electrical potential difference/current-controlled oscillator Time sampling is carried out and the serration signal which has the saw tooth waveform of the maximum topology mCN (however, C and m natural number) is outputted. (However, N natural number) The serration signal differential phase generating section The serration signal from said serration signal generator $1/(mKf_{r1})$ of periods (However, K natural number) every -- it samples, topology is extracted, the topology which gets mixed up is compared, the differential phase which searched for and searched for the differential phase is doubled mK , differential phase information is outputted, and you may make it the reference signal differential phase generating section output mCN as differential phase information

[0024] Moreover, the number N_d of adjustable dividing which carries out dividing of the output to the prescaler to which said serration signal generator makes said C the number of dividing However, N_d is a prescaler type variable divider equipped with the modulo N_d counter of natural number) which has number $N_t = C \cdot N_d$ of comprehensive dividing. (-- said reference signal differential phase generating

section Said number $N_t = C \cdot N_d$ of dividing is outputted as differential phase information, and said serration signal differential phase generating section may K Double the value to which said frequency fr_2 carried out round period accumulation of said number C of dividing by using the output signal of said prescaler as a clock, and may output it as differential phase information.

[0025] Or 2 modulus prescaler in which said serration signal generator has dividing several $P_1 = CP$ (however, P natural number) and dividing several $P_2 = C(P+1)$, It has the Main counter of the number M of good variations peripheries, and the swallow counter of the number S of good variations peripheries. It is the pulse swallow type variable divider which has comprehensive dividing number $N_t = P_2, S + P_1$, and $(M - S) = C(PM + S) \cdot C \cdot N_d$. Said reference signal differential phase generating section Said number $N_t = C \cdot N_d$ of dividing is outputted as differential phase information. Said serration signal differential phase generating section The output signal of said 2 modulus prescaler is used as a clock. The value to which said frequency fr_2 carried out round period accumulation of said P_1 or P_2 dividing according to the number selection signal of dividing which returns from said swallow counter to said 2 modulus prescaler can be K Doubled, and it can also output as differential phase information.

[0026] Said serration signal generator is a prescaler which makes said C the number of dividing and which carries out dividing. Moreover, said serration signal differential phase generating section It is the numerical-control oscillator which has the adjustable number-of-steps value N_s (however, N_s is expressed with $N_s = C - N - fr_1 / fv$). Said numerical-control oscillator The signal in which said serration signal generator carried out dividing is used as a clock, accumulate the adjustable number-of-steps value N_s , sample to every periodic $1/(K \cdot fr_1)$ (however, K natural number), the differential phase which searched for and searched for the differential phase is K Doubled, and differential phase information is outputted.

[0027] Furthermore, said serration signal differential phase generating section is the adjustable number-of-steps value N_s (however, N_s). It is the numerical-control oscillator which it has. it expresses with $N_s = C - N - fr_1 / fv$ -- having -- said numerical-control oscillator Said oscillation signal can be used as a direct clock, the adjustable number-of-steps value N_s can be accumulated, it can sample to every periodic $1/(K \cdot fr_1)$ (however, K natural number), the differential phase which searched for and searched for the differential phase can be K Doubled, and differential phase information can be outputted.

[0028] Said signal-processing section can perform and output the processing which filters the output signal from said integrator, and may perform and output the processing which adds initial value to an output signal from said integrator.

[0029] As mentioned above, in this invention, since the differential phase information on two signals is compared, the frequency synthesizer constituted by this technique is called for convenience a differential phase comparison frequency synthesizer.

[0030]

[Function] A criteria oscillator outputs the reference signal of a predetermined frequency, and a reference signal differential phase generating means extracts topology from this reference signal, and outputs it in quest of a differential phase.

[0031] Moreover, an electrical potential difference/current-controlled oscillator outputs an oscillation signal, and an oscillation signal differential phase generating means extracts topology from this oscillation signal, and outputs it in quest of a differential phase.

[0032] A differential phase comparator outputs this differential phase difference in quest of the difference of the differential phase from said reference signal differential phase generating means, and the differential phase from said oscillation signal differential phase generating means. An integrator integrates with said differential phase difference, and outputs it in quest of a phase error, and the signal-processing section performs and equalizes the processing to filter, or performs processing which adds initial value to an output signal from said integrator.

[0033] A converter controls the frequency of an oscillation signal by changing the output signal of said signal-processing section into an electrical potential difference or a current, and inputting it into an electrical potential difference/current-controlled oscillator.

[0034] A serration signal generator samples the oscillation signal of said electrical potential

difference/current-controlled oscillator, and extracts topology, topology is made into a saw tooth waveform, said oscillation signal differential phase generating means is equipped with a serration signal generator and the serration signal differential phase generating section, and the serration signal differential phase generating section is outputted [it generates repeatedly and] in quest of a differential phase based on the topology of the saw tooth waveform of said serration signal generator.

[0035] The modulo N counter of several Ns adjustable dividing is used for the serration signal generator which generates the serration signal which has a saw tooth waveform from the output signal of an electrical potential difference/current-controlled oscillator. In this case, by outputting the content of the modulo N counter which is carrying out dividing of the output signal of an electrical potential difference/current-controlled oscillator, a serration signal generator is repeat frequency $fr1$, in order to determine the oscillation frequency of the oscillation signal of per period, and said electrical potential difference/current-controlled oscillator, N time sampling is set up and carried out, and makes topology a saw tooth waveform, and outputs a serration signal. The serration signal differential phase generating section samples the serration signal from said serration signal generator to every periodic $1/(mKfr1)$ (however, K and m natural number), and extracts topology. The topology which gets mixed up is compared, the differential phase which searched for and searched for the differential phase is doubled mK , and differential phase information is outputted. Here, difference of a sampling value is taken as substantial difference including a carry, when a carry appears in a modulo N counter.

[0036] on the other hand -- a reference signal differential phase generating means -- every periodic $1/(mKfr1)$ -- several above-mentioned dividing -- let the phase be the topology of a reference signal supposing the numerical-control oscillator of the period T which increases every [N]. Therefore, reference signal differential phase information serves as constant value and the above-mentioned number mN of dividing. The frequency of VCO is controlled by phase error information which carried out the infinite integral of the difference of the above-mentioned reference signal differential phase and the VCO side signal differential phase.

[0037] Although topology has periodicity as everyone knows, there is no periodicity in the differential phase information which differentiated it, i.e., frequency information. Therefore, by the technique of asking for a part for the differential phase contrast of a reference signal differential phase and the VCO side signal differential phase, a phase error jump which is produced in a numerical phase-comparison direct-current-ized frequency synthesizer at a part for the differential phase contrast is not produced like this invention. That is, a phase error direct-current-ized circuit is unnecessary and circuit magnitude becomes small compared with a numerical phase-comparison direct-current-ized frequency synthesizer. That is, the 1st problem is solved.

[0038] What integrated with a part for the above-mentioned differential phase contrast is the phase error generated in a phase-locked loop, and the phase error over a round term serves as constant value, when the frequency by the side of a reference signal and VCO is equal. Thus, it is [primary] the description of a homologous term loop formation that a phase-locked loop synchronizes while the phase error has been fixed. Therefore, since it is not necessary to change the number N of dividing and to make a phase error a new frequency at zero at the time of *****, it will be in a phase simulation condition new at a high speed.

[0039] Since several Ns adjustable dividing is adopted as reference signal differential phase information and normalization processing is not needed, the operation over the 3rd trouble is clear.

[0040] The operation over the 2nd trouble is explained below. the 1st sample which is the VCO side signal differential phase since N/K is nonintegral -- difference -- supposing omission arises in a value -- the truncation error -- the 2nd sample -- difference -- it is distributed as an up valuation error after a value, and an error is lost by the average over a round term T. if it puts in another way -- the reference signal differential phase N and the 1st sample of the above -- difference -- supposing an error forward by difference with a value arises -- the reference signal differential phase N and the 2nd sample of the above -- difference -- an error negative by the difference after a value is generated. It will become zero if it integrates with these errors over a round. That is, the phase error over a round term being zero is that the frequency by the side of a reference signal and VCO is equal, and exact frequency generating of it is

attained. The example of a concrete numeric value explains the above thing. If $K=8$ and $N=1002$, differential phase value ΔV_i and reference signal differential phase value ΔR_i which doubled the counter sampling value C_i ($i=1-8$), its sampling value increment D_i , and it K will become as it is shown in a table 2.

[0041]

[A table 2]

表 2

$2\pi : 1000, K=8, N=1002$

信号	標本化ステップ							
	1	2	3	4	5	6	7	8
カウンタ出力 C_i	125	250	375	501	626	751	876	1002
標本化増分 D_i	125	125	125	126	125	125	125	126
微分位相 ΔV_i	1000	1000	1000	1008	1000	1000	1000	1008
基準微分位相 ΔR_i	1002	1002	1002	1002	1002	1002	1002	1002
微分位相誤差 ΔH_i	-2	-2	-2	+6	-2	-2	-2	+6
位相誤差 H_{i1}	0	-2	-4	+2	0	-2	-4	+2
位相誤差 H_{i2}	+2	0	-2	+4	+2	0	-2	+4
位相誤差 H_{i3}	+4	+2	0	+6	+4	+2	0	+6
位相誤差 H_{i4}	-2	-4	-6	0	-2	-4	-6	0

[0042] The phase error to which arbitration carried out a round period integral of the differential phase error ΔH_i which is the difference of both the differential phase value serves as zero for every round term at least as above-mentioned explanation.

[0043]

[Example] The block diagram of the differential phase frequency synthesizer which is the example which shows the basic principle of this invention is shown in drawing 1. In drawing 1, the differential phase frequency synthesizer 10 has the criteria oscillator 11, the saw-tooth wave reference signal generating section 12, the reference signal differential phase generating section 13, the clock generation section 14, the electrical-potential-difference (or current) controlled oscillator 15, the saw-tooth wave serration signal generator 16, the serration signal differential phase generating section 17, the differential phase comparator 18, an integrator 19, the signal-processing section 20, the electrical-potential-difference (or current) converter 21, and the interface section 22.

[0044] The clock generation section 14 generates the first clock which has a frequency fr_1 from the output signal of the criteria oscillator 11, the second clock which has a frequency twice [K (however, K natural number)] the frequency fr_2 of fr_1 , and various timing clocks required for actuation of each part of a configuration, and supplies a clock required for each part of a component (12), (13), (17), (18), (19), and (20). The saw-tooth wave reference signal generating section 12 is constituted by the combination of a counting-down circuit, a numerical-control oscillator or a counting-down circuit, and a numerical-control oscillator, and generates the reference signal which has the saw tooth waveform of repeat frequency fr_1 from the output signal of the criteria oscillator 11. The reference signal differential phase generating section 13 generates the differential phase information on a reference signal every frequency fr_2 . The saw-tooth wave reference signal generating section 12 and the reference signal differential phase generating section 13 are doubled, it considers as a reference signal differential phase generating means, topology is extracted from the reference signal of the criteria oscillator 11, and you may make it output in quest of a differential phase.

[0045] The saw-tooth wave serration signal generator 16 is constituted by the combination of a counting-down circuit, a numerical-control oscillator or a counting-down circuit, and a numerical-control oscillator, and generates the serration signal which has the saw tooth waveform of repeat frequency fr_1 from the output signal of the electrical-potential-difference (or current) controlled

oscillator 15. The serration signal differential phase generating section 17 generates the differential phase information on a serration signal every frequency fr_2 . The saw-tooth wave serration signal generator 16 and the serration signal differential phase generating section 17 are doubled, it considers as an oscillation signal differential phase generating means, topology is extracted from the oscillation signal of a voltage controlled oscillator 15, and you may make it output in quest of a differential phase. [0046] The differential phase comparator 18 asks for a part for the differential phase contrast of reference signal differential phase information and serration signal differential phase information. Let an integrator 19 be the phase contrast part information on a reference signal and a serration signal by integrating with a part for the differential phase contrast. The signal-processing section 20 is filtered to the phase contrast part information from an integrator 19, or performs signal processing of adding initial value. A converter 21 changes the output signal of the signal-processing section 20 into the electrical potential difference or current signal suitable for the frequency control of an oscillator 15, and controls the frequency of an oscillator 15. The interface section 22 sends out the number of dividing, the above-mentioned initial value, etc. of for example, the above-mentioned counting-down circuit to reception and required each part of a component from a microprocessor (not shown). A microprocessor can direct a numeric value N , initial value, etc. which are set up in order to determine the oscillation frequency of a voltage controlled oscillator through the interface section 22, in order to control the frequency of an oscillator 15.

[0047] A reference signal differential phase generating means and an oscillation signal differential phase generating means That what is necessary is just to output the differential phase of a reference signal and an oscillation signal, respectively an oscillation signal differential phase generating means Based on an oscillation signal, it is repeat frequency fr (however, fr frequency of arbitration). Carry out H (however, H natural number) time sampling per period, make topology into a saw tooth waveform, and a serration signal is outputted. The topology in which a serration signal gets mixed up is compared, and differential phase information is outputted in quest of a differential phase. Said reference signal differential phase generating means It samples H times per period, topology of a reference signal is made into a saw tooth waveform, and a serration signal is outputted, and the topology in which a serration signal gets mixed up is compared, and you may make it output differential phase information in quest of a differential phase with repeat frequency fr based on a reference signal. It may be made to carry out N time sampling of this sampling H times. Moreover, the serration signal differential phase generating section of an oscillation signal differential phase generating means Sample said serration signal further to every periodic $1/(mKfr_1)$ (however, K and m natural number), and topology is extracted. The topology which gets mixed up can be compared, the differential phase information which searched for and searched for the differential phase can be increased mK time, and can be outputted, differential phase information can be outputted, and the reference signal differential phase generating section of a reference signal differential phase generating means can also output mN as a differential phase. Moreover, it can avoid generating the error by normalization from that of outputting the serration signal which has the saw tooth waveform of the maximum topology mCN (however, C natural number) in the serration signal differential phase generating section of an oscillation signal differential phase generating means at this time.

[0048] this example -- the differential phase of a reference signal and a serration signal -- since phase contrast part information has been acquired by finding the integral after asking for difference, i.e., a delta frequency, the phase jump generated when it asks for a part for the phase contrast of a reference signal and a serration signal directly does not occur. That is, phase contrast part information searched for by this example is direct-current-ized inevitably, and the high-speed level luffing motion of a phase-locked loop of a direct-current-ized circuit becomes possible unnecessarily.

[0049] In this example, the serration signal which the saw-tooth wave serration signal generator 16 generates makes maximum which it has within a round term T of a frequency fr_1 reference signal differential phase information. That is, it is equivalent to searching for the differential phase of the output signal supposing the numerical-control oscillator of the period T which increases [above-mentioned] maximum every every frequency fr_2 . furthermore, K times as much difference as this reference signal differential phase information and the serration signal differential phase information for

every frequency fr_2 -- a differential phase -- normalization processing becomes unnecessary by considering as difference. Moreover, there is the description that the saw-tooth wave reference signal generating section 12 and the reference signal differential phase generating section 13 become unnecessary as a matter of fact, and circuitry becomes easy by this.

[0050] The block diagram of the differential phase comparison frequency synthesizer which is the detail example of this invention is shown in drawing 2. In drawing 2, the same sign is given to the circuit block which has drawing 1 and a similar function. The differential phase comparison frequency synthesizer 10 has the criteria oscillator 11, the clock generation section 14, VCO15, a modulo N counter 16 (it corresponds to the saw-tooth wave serration signal generator of drawing 1), the sampling differential phase generating section 17 (it corresponds to the serration signal differential phase generating section of drawing 1), the differential phase comparator 18, an integrator 19, the signal-processing section 20, D/A converter 21 (it corresponds to the electrical-potential-difference converter of drawing 1), and the interface section 22.

[0051] In drawing 2, the criteria oscillator 11 is a crystal oscillator and outputs the clock signal of the oscillation frequency fr_0 on a line S11. The clock generation section 14 has the counting-down circuit 141 which has the number L of dividing, the counting-down circuit 142 which has the number K of dividing, and the timing generator 143 which generates various clocks. The clock generation section 14 carries out the output signal of the criteria oscillator 11 L dividing with a counting-down circuit 141, generates the second clock of a frequency fr_2 , carries out this second clock K dividing with a counting-down circuit 142, generates the first clock of a frequency fr_1 , and generates various clocks (T1-T9) required for actuation of other circuit blocks from three clocks of frequencies fr_0 , fr_1 , and fr_2 . The clocks Fr21, Fr22, Fr23, Fr24, Fr25, and Fr27 and the clocks Fr16, Fr17, and Fr18 which have the same frequency as a frequency fr_1 which have the same frequency as a frequency fr_2 are outputted on a line T1 - T9 from a timing generator 14, respectively. The time relation of these clocks is explained later using drawing 3.

[0052] VCO15 is a voltage controlled oscillator with which an oscillation frequency is controlled by the armature-voltage control signal, and outputs the signal of the oscillation frequency f_{vo} controlled by output voltage of D/A converter 21 on a line S15. the modulo N counter 16 which has several Ns (however, N natural number) adjustable dividing carries out counting of the oscillation frequency of VCO15, and repeats the count actuation from 1 to N (or -- from N up to 1). In order to change the oscillation frequency of VCO15, the above-mentioned number N of dividing is changed. The above-mentioned number N of dividing lets the interface section 22 pass, for example, is specified from a microprocessor (not shown), and is set to a modulo N counter 16. the sampling differential phase generating section 17 -- counting of a modulo N counter 16 -- the content -- every periodic $1/(K-fr_1)$ -- sampling -- the difference of an adjacency **** sampling value -- asking -- the difference -- it outputs on a bus B17, carrying out the multiplication of the number K of dividing to a value, and using the multiplication value as serration signal differential phase information ΔV . the above-mentioned sampling -- difference -- a value shall take difference including a carry, when a carry is outputted from a modulo N counter 16

[0053] On the other hand, dividing several N themselves are adopted as reference signal differential phase information ΔR .

[0054] moreover -- the case where the sampling differential phase generating section 17 is sampled to every periodic $1/(mK-fr_1)$ -- the difference of an adjacency **** sampling value -- asking -- the difference -- it outputs on a bus B17, carrying out the multiplication of the number mK of dividing to a value, and using the multiplication value as serration signal differential phase information ΔV , and you may ask for **** as the number mN of dividing as reference signal differential phase information ΔR .

[0055] The differential phase comparator 18 subtracts serration signal differential phase information ΔV from reference signal differential phase information ΔR , sets the difference to differential phase error ΔH , and outputs it on a bus B18. An integrator 19 carries out the infinite integral of the differential phase error ΔH from the differential phase comparator 18, and outputs the phase error

signal H on a bus B19. After the signal-processing section 20 performs signal processing, such as filtering, to the phase error signal H, generates the phase error signal theta, normalizes the signal theta in the channel range of latter D/A converter 21 and adds initial value θ_{tai} to normalization signal θ_{tan} , it outputs the aggregate value. The above-mentioned initial value θ_{tai} is a value corresponding to the number N of dividing, and is specified from a microprocessor through the interface section 22. Let the value W of the above-mentioned normalization processing be the value specified from the value defined beforehand or the microprocessor. D/A converter 21 changes the output digital data from the signal-processing section 20 into a corresponding analog value. Since an oscillation frequency is controlled by the armature-voltage control signal, D/A converter 21 changes the output data from the signal-processing section 20 into analog voltage, and VCO15 impresses this electrical potential difference to the frequency control terminal of VCO15. When a current control mold frequency adjustable oscillator is used instead of VCO15, an analog current is outputted from D/A converter 21. The interface section 22 directs the number of dividing, initial value, etc. to each part of the block which constitutes a phase-locked loop based on the data and the address which were specified from the microprocessor. About a microprocessor or the interface section 22, it can respond by constituting using the conventional technique. In this example, the interface section 22 received the number N of dividing, initial value θ_{tai} , and the timer value T from the microprocessor by five interface lines from a microprocessor, and has given them to the corresponding block. In addition, in drawing 2, functional block of a single figure shows functional block of many digits in simple.

[0056] A phase-locked loop is constituted by the above block configuration, and the oscillation frequency f_{vo} of VCO15 after synchronous establishment serves as a product of the number N of dividing, and the reference signal frequency $fr1$.

[0057] A concrete numerical example is raised to below and the detailed configuration and the actuation of a basic example which are shown in drawing 2 are explained. For example, if the oscillation frequency $fr0$ of the criteria oscillator 11 is set to 12.8MHz and the numbers L and K of dividing are set [both] to 25= 32, the output frequency $fr1$ of 400kHz and a counting-down circuit 142 will be set to 12.5kHz by the output frequency $fr2$ of a counting-down circuit 141. If the oscillation frequency f_{vo} of VCO15 is set to about 100MHz, the number N of dividing of the binary modulo N counter 16 will become about 8,000, and if this is expressed with a binary number, the digit count will be set to 13. The number register 223 of dividing in the interface section 22 outputs the number N of binary dividing on the bus BI1 of 13 figures. A counter 16 carries out counting of the frequency of the clock signal from VCO15 inputted into the clock terminal CK. the carry terminal CA of a counter 16 and the load terminal LD are connected, and the data input terminal DT is connected to a bus BI1 -- having -- **** -- counting from an output terminal OP -- the content is outputted on the bus B16 of 13 figures. For example, when a counter 16 is a down counter, if a carry signal is outputted from the carry terminal CA, it will input into the load terminal LD and the number N of dividing on a bus BI1 will be set to a counter 16 synchronizing with the clock signal to Terminal CK. a counter 16 -- several dividing -- the clock signal from N -- synchronizing -- a down count -- starting -- counting -- if the content is set to "1", actuation of outputting a carry signal will be repeated. moreover -- if a carry signal is outputted from the carry terminal CA when a counter 16 is a rise counter -- the load terminal LD -- inputting -- the clock signal to Terminal CK -- synchronizing -- counting -- the content is set to "1." a counter 16 -- the clock signal from 1 -- synchronizing -- a rise count -- starting -- counting -- the content -- several dividing on a bus BI1 -- if in agreement with N, actuation of outputting a carry signal will be repeated.

[0058] The sampling differential phase generator 17 has D flip-flop 171, 172, and 175, the subtraction machine 173, the adder 174, the multiplier 176, RS flip flop 177, and the selector 178. D terminal of the flip-flop 171 of 13 figures -- counting of a counter 16 -- the content inputs through a bus B16 -- having -- this counting -- the content is sampled. In a flip-flop 171, the input signal to D terminal is sampled by the clock $Fr22$ on the line T2 inputted into C terminal, and is outputted to the bus B171 of 13 figures from Q terminal. In the flip-flop 172 of 13 figures, the signal inputted into D terminal from the bus B171 is sampled by the clock $Fr21$ on the line T1 inputted into C terminal, and is outputted to the bus B172 of 13 figures from Q terminal. The subtraction machine 173 of 13 figures takes the difference of the signal

on a bus B171, and the signal on a bus B172, and outputs it to the bus B173 of 14 figures. namely, counting of a counter sampled with the flip-flop 171 with the subtraction vessel 173 -- the content and counting of a counter sampled with the flip-flop 172 -- a difference with the content can be searched for. counting of a counter sampled with the flip-flop 172 -- counting of a counter by which the content was sampled before one with the flip-flop 171 -- it is a content. The most significant digit of a bus B173 is a sign bit, and the subtraction machine 173 attaches sign information and outputs the result of subtraction. The above-mentioned subtraction subtracts the signal on a bus B172 from the signal on a bus B171, when a counter 16 is a rise counter, and when a counter 16 is a down counter, it subtracts the signal on a bus B171 from the signal on a bus B172. An adder 174 amends the signal on a bus B173, when a carry is outputted from a counter 16. counting by which the above-mentioned subtraction machine 173 was sampled -- counting of a counter by which it was reset and the value of a counter 16 was sampled with the flip-flop 172 when the enumerated data in which the content gets mixed up were subtracted and a carry was outputted -- since the content is the value before a carry is outputted, an adder 174 amends, when a carry is outputted. RS flip flop 177 is set by the carry CA of the counter 16 on the line S16 inputted into a switch terminal, is reset with the clock Fr24 on line T four inputted into R terminal, and outputs a selection signal SN on a line S177 from Q terminal. The selector 178 of 13 figures outputs "0" of 13 figures inputted into a generator terminal from Y terminal, when the selection signal SN inputted into a switch terminal is "0", and when a selection signal SN is "1", it outputs the number N of dividing on the bus BI1 inputted into a battery terminal from Y terminal. The output signal from the Y terminal is inputted into 13 figures of low order of an adder 174 through a bus B178. The adder 174 of 14 figures adds the signal of a bus B173, and the signal on B178, and outputs an addition result to a bus B174. In the case of this example, the digit count of a bus B174 is good at about 9 figures including a sign bit. because, counting of the counter with which subtracting in the subtraction machine 173 was sampled as mentioned above -- it is the value in which the content gets mixed up, and at the time of a carry output, since it is amended by the adder 174, there should just be about 9 figures. Moreover, the number of bits of two signals compared by the differential phase comparator 18 is comparable, and after doubling the signal on a bus B174 $K=25$ with a multiplier 176, it is inputted into the differential phase comparator 18. In the flip-flop 175 of 9 figures, the signal inputted into D terminal from the bus B174 is sampled by the clock Fr23 on line T3 inputted into C terminal, and is outputted to the bus B175 of 9 figures from Q terminal. A multiplier 176 doubles the signal on a bus B175 $K=25$, and outputs a multiplication result to the bus B17 of 14 figures. In the case of $K=25$, the function of a multiplier 176 is realizable like this example by shifting the signal on a bus B175 to a high order 5 figures except for a sign bit, and outputting on a bus B17. Signal ΔV on a bus B17 (serration signal differential phase information) expresses the information corresponding to the differential phase of VCO15.

[0059] Only including the subtraction machine 181 of 14 figures, the differential phase comparator 18 subtracts serration signal differential phase information ΔV on dividing several buses B17 from N on the bus BI1 corresponding to reference signal differential phase information ΔR , and outputs subtraction result ΔH to the bus B18 of 14 figures. Although the most significant digit of a bus B18 is a sign bit, when several figures of the high-order digit which follows a sign bit at the time of real actuation do not change, it can omit the digit of the part.

[0060] An integrator 19 has an adder 191 and a register 192. The sign bit of differential phase error signal ΔH on a bus B18 and the bit of 13 figures of low order are inputted into the sign bit of one input terminal of the 19-figure adder 191, and the bit of 13 figures of low order. The output signal of an adder 191 is inputted into D terminal of the register 192 of 19 figures through the 19-figure bus B191. In a register 192, with the clock Fr24 on line T four supplied to C terminal, the input signal to D terminal is transmitted to Q terminal, and is outputted to the 19-figure bus B19. The signal on a bus B19 is inputted into another input terminal of an adder 191. By the above, differential phase error signal ΔH finds the integral, and becomes the phase error signal H. A register 192 is reset by the reset signal on the line SI 1 inputted into R terminal whenever the new number N of dividing is inputted into the interface section. When an adder 191 may overflow, an overflow detector is formed, and an overflow detector may detect output overflow of an adder 191, and may reset a register 192.

[0061] The signal-processing machine 20 has an adder 201, a register 202, a divider 203, D flip-flop 204, a selector 205, the normalization machine 206, an adder 207, a selector 208, and D flip-flop 209. The sign bit of the phase error signal H on a bus B19 and the bit of 18 figures of low order are inputted into the sign bit of one input terminal of the 24-figure adder 201, and the bit of 18 figures of low order. The output signal of an adder 201 is inputted into D terminal of the register 202 of 24 figures through the 24-figure bus B201. In a register 202, with the clock Fr25 on the line T5 supplied to C terminal, the input signal to D terminal is transmitted to Q terminal, and is outputted to the 24-figure bus B202. The signal on a bus B202 is inputted into another input terminal of an adder 201. A divider 203 divides the signal on a bus B202 by $K=32$, and outputs it to the bus B203 of 19 figures. This division function is realizable by shifting the signal on a bus B202 to a low order side 5 figures, and putting on a bus B203. The signal on a bus B203 is inputted into D terminal of a flip-flop 204. In the flip-flop 204 of 19 figures, with the clock Fr16 on the line T7 supplied to C terminal, D terminal input signal is transmitted to Q terminal, and is outputted to the bus B204 of 19 figures. A register 202 is reset with the clock Fr17 on a line T8, and since the frequency of a clock Fr25 is K times the frequency of clocks Fr16 and Fr17, the signal on a bus B204 becomes what equalized the phase error signal on a bus B202 over a period $1/fr1$. The signal on a bus B204 is inputted into the battery terminal of a selector 205. The direct input of the phase error signal H on a bus B19 is carried out to the generator terminal of a selector 206. The selector 205 of 19 figures outputs a generator terminal input signal to the 19-figure bus B205 as a phase error signal theta from Y terminal, when the selection signal ST on the line SI 2 impressed to a switch terminal is "0", and when a selection signal ST is "1", it outputs a battery terminal input signal to the 19-figure bus B205 as a phase error signal theta from Y terminal. Signal processing from a bus B18 to a bus B205 is a kind of digital filter processing. Therefore, construction other than an example may be used. The signal on a bus B205 is inputted into the normalization machine 206. Work of this normalization machine 206 is performing four operations to an input signal and obtaining resolution required in dedicating that output signal in the input range value of D/A converter 21. For example, even the 16th figure is outputted to the 16-figure bus B206 from a sign bit and the double figures low order. The signal of a bus B206 is inputted into one input terminal of the 16-figure adder 207. Suitable initial value thetai corresponding to the number N of dividing is inputted into the input terminal of another side of an adder 207 from the 16-figure bus BI2. An adder 207 outputs an addition result on the 16-figure bus B207. The clock Fr27 on a line T6 is inputted into A input terminal of a selector 208, and the clock Fr17 on T8 is inputted into B input terminal. A selector 208 outputs a generator terminal input signal on a line S208 from Y terminal, when the selection signal ST of the line SI 2 inputted into a switch terminal is "0", and when a selection signal ST is "1", it outputs a battery terminal input signal on a line S208 from Y terminal. With the clock into which the signal inputted into D terminal from the bus B207 was inputted by C terminal from the line S208, the 16-figure flip-flop 209 is re-sampled, and is outputted to the bus B20 of 16 figures from Q terminal.

[0062] 16-figure D/A converter 21 outputs the analog voltage corresponding to the input digital value on a bus B20 to a line S21. This electrical potential difference is impressed to the frequency control terminal of VCO15. The frequency of VCO15 changes with these electrical potential differences, and a negative feedback loop formation is constituted so that the value which integrated with the output of the differential phase comparator 18 over round term $1/fr1$ may become zero. The oscillation frequency fvo of VCO15 after the synchronous level luffing motion of a phase-locked loop is expressed with a degree type.

[0063]

[Equation 2] $fvo=N-fr1$ (several 2) The interface section 22 has a serial input / juxtaposition output register 221, an address decoder 222, the number register 223 of dividing, the initial value register 224, the timer register 225, and the timer 226. From a microprocessor, Clock DCLK, serial data DATA, address ADR0 and ADR1 of 2 bits, and five signals of latch enabling [LE] are inputted into the interface section 22 through lines M1, M2, M3, M4, and M5, respectively. The serial input / juxtaposition output register 221 of 16 figures incorporate serial data DATA for every clock DCLK, and outputs it on a bus B221 as parallel data. An address decoder 222 decodes a lower bit and ADR1 for the

address ADR 0 as a high order bit. When the address is "0", latch enabling [LE] on a line S2221. When the address is "1", the address is "2" on a line S2222 about latch enabling [LE], and the address is "3" on a line S2223 about latch enabling [LE], it outputs on a line S2224 by considering latch enabling [LE] on a line M5 as start enabling [SE]. After the number register 223 of dividing of 13 figures incorporates the parallel data on a bus B221 by latch enabling [LE] on a line S2221 and changes it into parallel data, it is outputted on a bus BI1 by start enabling [SE] on a line S2224. After the initial value register 224 of 16 figures incorporates the data on a bus B221 by latch enabling [LE] on a line S2222 and changes them into parallel data, it is outputted on a bus BI2 by start enabling [SE] on a line S2224. A timer register 225 incorporates the data on a bus B221 by latch enabling [LE] on a line S2223, and outputs them on a bus B225. After a timer 226 is reset by start enabling [SE] on a line S2224, it starts counting of the clock Fr18 on a line T9, and outputs the selection signal ST of "0" on a line SI 2 then. If the enumerated data of a timer 226 are in agreement with the data on a bus B225, a timer 226 stops counting, and it will output it until the selection signal ST of "1" is reset. Moreover, start enabling [SE] on a line S2224 is outputted as initial reset IR on a line SI 1.

[0064] Below, actuation of the example shown in drawing 2 is again explained using the timing diagram of drawing 3. As a numerical example, the oscillation frequency fr0 of the criteria oscillator 11 is set to 6.4MHz, and the numbers L, K, and N of dividing are set to 8, 8, and 1002, respectively so that it may be easy to carry out the graphic display of drawing 3. The oscillation frequency fvo of 100kHz and VCO12 is set [the output frequency fr2 of a counting-down circuit 12] to 100.2MHz from these by the output frequency fr1 of 800kHz and a counting-down circuit 13. It is set to $N/K = 1002 / 8 = 125.25$ at this time. Moreover, the time delay of each circuit part shown in drawing 2 of operation assumes the timing diagram shown in drawing 3 to be about 0, and it is illustrated. (1) of drawing 3, (2), and (3) express the signal of frequencies fr0, fr2, and fr1 which is an output from the criteria oscillator 11 or the clock generation section 14, respectively. The notation of the periodic slot numbers t0-t13 is attached and shown in drawing 3 for every round term on the basis of the period of a frequency fr2. Since eight pulses of a frequency fr0 are included, the sign of the pulse numbers p1-p8 is attached sequentially from the top pulse for every round term at a round term of a frequency fr2. (4) - (9) of drawing 3 shows the clocks Fr21, Fr22, Fr23, Fr24, Fr25, and Fr27 which are the output signals from a timing generator 143. The frequency of these clocks is equal to fr2, and the forward pulse width presupposes that it is equal to the width of face of fr0 pulse. It is shown that X of clock Fr2X has a pulse in X location equal to the figure of the pulse number of fr0 pulse. (10) - (12) of drawing 3 shows clocks Fr16, Fr17, and Fr18. The frequency of these clocks is equal to fr1, and the forward pulse width presupposes that it is equal to the width of face of fr0 pulse. Drawing 3 shows that clocks Fr16, Fr17, and Fr18 have a pulse in the slot numbers t3 and t11, and X of clock Fr1X has a pulse in X location equal to the figure of the pulse number of fr0 pulse. As mentioned above, in principle, if a circuit block number (17-20) becomes large, by enlarging Above X, the phase of a clock was delayed one by one and stable actuation has been obtained.

[0065] (13) - (18) of drawing 3 shows the output of each part when the phase-locked loop of drawing 1 synchronizes with the wave or the changing point. (13) of drawing 3 shows the carry output CA of the rise counter 16, and (14) of drawing 3 shows Q output of a flip-flop 177. (15) - (18) of drawing 3 shows the changing point of Q output of flip-flops 171, 172, and 175 and a register 192, respectively. If a flip-flop 171 assumes that the numeric values S1-S8 of the counter 16 on a bus B16 were sampled by slots t1-t8 with the clock Fr22, the output of the flip-flop 172 which samples the output with a clock Fr21 will become as shown in (16) of drawing 3. (17) of drawing 3 shows the numeric values D1-D8 to which the flip-flop 175 sampled the value which carried out carry amendment to the value which lengthened the output of a flip-flop 172 with the subtraction vessel 173 from the output of a flip-flop 171 with the adder 174 with the clock Fr23. In this example, since the carry output CA has come out by slots t4 and t12, a flip-flop 177 outputs "1" until it is reset with a clock Fr24. During this "1" output, since $N = 1002$ dividing is outputted, the outputs D4 and D12 of the flip-flop 175 in slots t4 and t12 serve as a value by which the carry was amended from a selector 178. The output of the subtraction machine 181 serves as a value which lengthened the value which doubled the output of a flip-flop 175 $K=8$ from $N = 1002$

dividing. For example, it becomes like deltaHi shown in a table 2.

[0066]

[A table 2]

表 2

$2\pi : 1000$ 、 $K=8$ 、 $N=1002$

信号	標本化ステップ							
	1	2	3	4	5	6	7	8
カウンタ出力 Ci	125	250	375	501	626	751	876	1002
標本化増分 Di	125	125	125	126	125	125	125	126
微分位相 ΔVi	1000	1000	1000	1008	1000	1000	1000	1008
基準微分位相 ΔRi	1002	1002	1002	1002	1002	1002	1002	1002
微分位相誤差 ΔHi	-2	-2	-2	+6	-2	-2	-2	+6
位相誤差 Hi1	0	-2	-4	+2	0	-2	-4	+2
位相誤差 Hi2	+2	0	-2	+4	+2	0	-2	+4
位相誤差 Hi3	+4	+2	0	+6	+4	+2	0	+6
位相誤差 Hi4	-2	-4	-6	0	-2	-4	-6	0

[0067] A register 192 outputs the value which integrated with the output of the subtraction machine 181 every clock Fr25. For example, if a big numeric value is outputted from the differential phase comparator 18 immediately after the number N of dividing changes to 1002 from 900, the frequency of VCO15 becomes high and the frequency of VCO15 becomes high, the output value from the differential phase comparator 18 becomes small. Accumulation of these values is carried out with a register 192 and an adder 191, and after phase simulation serves as a value which swings before and behind a certain value according to a quantization error.

[0068] In the example shown in drawing 2, if the number N of dividing is set as a new value, the output signal ST of a timer 226 is set to "0", a selector 205 will output a generator terminal input signal to the 19-figure bus B205 as a phase error signal theta from Y terminal, and the phase error signal on a bus B19 will be outputted from the signal-processing machine 20, without passing through an integrating circuit. Since a new error signal is supplied to D/A converter 21 one after another by this at a high speed, the frequency of VCO15 approaches the frequency corresponding to the quickly new number of dividing. If the output signal ST of a timer 226 "1" Becomes, since the error signal on a bus B19 will be integrated with and outputted in the signal-processing machine 20, the frequency of VCO15 will approach the last frequency comparatively slowly, and will be in a stable state. Since the above configuration does not contain the analog filter, the level luffing motion of a phase-locked loop is intrinsically high-speed. Furthermore, stable high-speed synchronous level luffing motion becomes possible by optimizing analytically and experimentally the filter configuration and the operating time of the signal-processing machine 20 from phase-locked loop gain.

[0069] Moreover, in the example shown in drawing 2, when initial value thetai on a bus BI2 is zero in a certain number N of dividing, the output value of the normalization machine 206 when phase simulation is established is set to thetai. next, several above-mentioned dividing from other numbers of dividing -- the time of changing into N -- the above-mentioned value thetai as initial value thetai -- as it is -- or synchronous level luffing motion becomes possible further N, simultaneously by setting up about the approximate value at a high speed.

[0070] In the example shown in drawing 2, when the counter 16 which is a variable divider consists of subordination connections between the prescaler of the number C of dividing, and the modulo M counter of the number M of good variations peripheries, the number Nt of comprehensive dividing serves as $Nt=C \cdot M$. When adopting M as reference signal differential phase deltaR, the object of this invention can be attained by setting to serration signal differential phase deltaV the value which doubled the difference of the adjacency **** sampling value of a modulo M counter K as the example. However,

when adopting N_t as reference signal differential phase ΔR , the object of this invention can be attained by setting to serration signal differential phase ΔV the value which doubled the difference of the adjacency **** sampling value of a modulo M counter $C.K$.

[0071] In addition, in the example shown in drawing 2, each PERT except a criteria oscillator, VCO, and a D/A converter can constitute easily using general-purpose ECL and general-purpose CMOS, or a TTL logic IC. Or it is also clear for the function of this example to be selectively realized by signal processing by software using a digital signal processor etc. Moreover, it is also clear by using the latest semiconductor technology that 1 ***** of all the components except the resonant element which are a criteria oscillator and the component of VCO can be integrated on a monolithic substrate.

[0072] Drawing 4 shows the example at the time of using 2 modulus prescaler for a variable divider side. several dividing whose number is two when the oscillation frequency of VCO is high -- 2 modulus prescaler which has P_1 and P_2 , and several dividing -- the adjustable dividing Maine counter which has M , and several dividing -- generally the pulse swallow type variable divider which consisted of adjustable dividing swallow counters which have S is used (reference: V.Manassewitsch, "Frequency Synthesizers Theory and Design", pp.355-362, John Wiley & Sons, New York, 1976). It will become the three following if the VCO oscillation frequency f_{vo} sets the first clock frequency of criteria to fr_1 at this time.

[0073]

[Equation 3]

$f_{vo} = \{P_2 \text{ and } S + P_1 - (M - S)\} \cdot fr_1 \cdot N - fr_1$ (several 3) [0074]

[Equation 4]

$N = P_2, S + P_1$, and $(M - S) = C(PM + S)$ (several 4) Here, the relation between P_1 and P_2 is [0075].

[Equation 5]

$P_1 = C - P$ $P_2 = C - (P + 1)$ (several 5) it is -- P corresponds the p -th power of 2, or the p -th power of 10, and C corresponds to P , and although it is a binary number or a decimal number, it is set as 1 in many cases. It carries out by changing one side of the numbers M and S of dividing into changing an oscillation frequency at least. It is referred to as $P_1 = 128$, $P_2 = 129$, and $C = 1$ in this example.

[0076] The frequency synthesizer 30 has the criteria oscillator 11, the clock generation section 14, VCO15, 2 modulus prescaler 31, the swallow counter 32, the Maine counter 33, the sampling differential phase generating section 17, the differential phase comparator 18, an integrator 19, the signal-processing section 20, and D/A converter 21. In the example shown in drawing 4, even if bit width of face differs about the part which achieves the same function as the example shown in drawing 2, the same notation is attached. Moreover, the frequency of the various clocks which the criteria oscillator 11 and the clock generation section 14 generate presupposes that it is the same as drawing 2. The output signal of VCO15 is inputted into CK terminal of a prescaler 31. The prescaler 31 has P_1 and P_2 dividing, and one side of the two numbers of dividing is chosen by the signal inputted into M terminal. A prescaler 31 carries out dividing of the CK terminal input signal with the selected number of dividing, and outputs the dividing clock CP on a line S31. The dividing clock CP on a line S31 is inputted into CK terminal of the swallow counter 32 and the Maine counter 33. For example, in drawing 4, if about $f_{vo} = 1\text{GHz}$, $0 = 12.8\text{MHz}$ of $fr(s)$, $L = 32$, and $K = 32$, N with three above will become about 80,000. Since it is $P_1 = 128$, the number of bits of counters 32 and 33 becomes 7 or 10 bits in this case, respectively. several dividing on a bus BI1 -- 7 figures (S) of low order of N are inputted into the swallow counter 32, and 10 figures (M) of the high order are inputted into the Maine counter 33 from DT terminal. With the number selection signal MD of dividing outputted on a line S32 from CA terminal, the number of dividing of a prescaler 31 is set as P_2 , and, as for the counter 32, the counter 33 is also performing counting simultaneously in the meantime until it finishes carrying out counting of the number S of dividing. After counting of a counter 32 is completed, with the selection signal MD on a line S32, P_1 is chosen and, as for the number of dividing of a prescaler 31, only a counter 33 continues counting after that. A counter 33 inputs the numbers S and M of dividing into counters 32 and 33 from DT terminal again, respectively with the carry signal outputted on a line S33 from CA terminal, after ending counting of the number M of dividing. With it, as for the number of dividing of a prescaler 31,

P2 is chosen, and counters 32 and 33 newly start counting. counting of a counter 32 -- the content is outputted to a bus B32 from terminals Q0-Q6. counting of a counter 33 -- the content is outputted to a bus B31 from terminals Q0-Q9. On a bus B16, the data on a low order digit and a bus B33 are unified by 17 bit data as a high-order digit, and the data on a bus B32 are inputted into D terminal of D flip-flop 171 of 17 figures in the sampling differential phase generator 17. The carry signal on a line S33 is inputted into the switch terminal of a flip-flop 177, and generates a selection signal SN. It is the same as the component of the example which shows the component of a frequency synthesizer 30 to drawing 2 except for the variable divider described now. However, since the number of bits of the number N of dividing is increasing 4 bits from drawing 2, the multi-bit circuit element within the circuit block 17-19, the circuit elements 201-205 within the circuit block 20, and the number of bits of each bus are increasing by 4 bits. The number of bits of D/A converter 21 is defined according to an application system, and is 19 bits in this example. In addition, when several 4 N is used as reference signal differential phase ΔR , the constant in the multiplier 176 in the sampling differential phase generator 17 is CK. When N/C drawn from several 4 as reference signal differential phase ΔR is used, the constant in the multiplier 176 in the sampling differential phase generator 17 is K. The basic actuation concerning this invention of this frequency synthesizer 30 is the same as that of the example shown in drawing 2 except for the content of the counters 32 and 33 being sampled by the sampling differential phase generator 17. Therefore, the object of this invention can be attained.

[0077] Drawing 5 shows other examples at the time of using 2 modulus prescaler for a variable divider side. The frequency synthesizer 30 has the criteria oscillator 11, the clock generation section 14, VCO15, 2 modulus prescaler 31, the swallow counter 32, the Maine counter 33, the prescaler differential phase generating section 37, the differential phase comparator 18, an integrator 19, the signal-processing section 20, and D/A converter 21. The whole configuration is the same as the configuration shown in drawing 4 except using the prescaler differential phase generating section 37 instead of the sampling differential phase generating section 17 in the example shown in drawing 4. Moreover, the frequency of the various clocks which the criteria oscillator 11 and the clock generation section 14 generate presupposes that it is the same as drawing 2. The prescaler differential phase generating section 37 has a selector 371, the adder 372, the register 373, the flip-flop 374, and the multiplier 375. The number selection signal MD of dividing is inputted into P2 dividing and a switch terminal at A input terminal of the 8-figure selector 371 at P1 dividing and B input terminal, respectively. From Y output terminal of a selector 371, the number of dividing corresponding to the number of dividing of 2 modulus prescaler which the number selection signal MD of dividing chooses is outputted on the 8-figure bus B371. The signal on a bus B371 is inputted into 8 figures of low order of the 13-figure adder 372. The addition output of an adder 372 is inputted into D input terminal of the 13-figure register 373 through the bus B372 of 13 figures. With the clock CP on the line S31 inputted into C terminal, D input terminal signal of a register 373 is transmitted to Q terminal, and is outputted to the 13-figure bus B373. The signal on a bus B373 is inputted into another input terminal of an adder 372. Moreover, with the clock Fr21 on the line T1 which is inputted into D terminal of the 13-figure flip-flop 374, and is inputted into C terminal, the signal on a bus B373 is transmitted to Q terminal, and is outputted to the 13-figure bus B374. After this clock Fr21 is inputted into a flip-flop 374, a selector 373 is reset with the clock Fr22 on the line T2 inputted into R terminal. Consequently, the signal on a bus B374 serves as a value which accumulated the signal on a bus B371 between a period $1/fr2$ with Clock CP. In this example, since the frequency of Clock CP is 8MHz weakness and a frequency fr2 is 400kHz, the digit count of an adder 372 and a register 373 becomes 13 figures. A multiplier 375 carries out the multiplication of $K=25$ to the signal on a bus B374, and outputs a multiplication result to the 18-figure bus B37. The function of a multiplier 375 is realizable by shifting 5 figures to the high order on a bus B374, and outputting to a bus B37. Serration signal differential phase information ΔV on a bus B37 is supplied to a differential phase comparator.

[0078] In this example, N shown in several 4 as reference signal differential phase ΔR is used. When $P1 / P2$ [C and $1/C$ is used instead of P1 and P2 which are inputted into the generator terminal of a selector 371, and a battery terminal, respectively, the multiplier in a multiplier 375 is set to CK, using

N/C drawn from several 4 as reference signal differential phase ΔR .

[0079] The effectiveness of the prescaler differential phase generating section 37 shown in drawing 5 is that there is little circuit magnitude as compared with the sampling differential phase generating section 17 in the example shown in drawing 4. namely, the sampling differential phase generating section 17 in the example shown in drawing 4 -- setting -- sampling -- after taking difference, the part which carries out carry amendment consists of only accumulators which consist of an adder 372 and a register 373 in the example shown in drawing 5, and the circuit number of bits is becoming fewer. Consequently, there is effectiveness of circuit magnitude reduction of an LSI circuit and reduction of the consumed electric current.

[0080] Setting in the example shown in the above drawing 2, drawing 4, and drawing 5, the relation between the oscillation frequency f_{vo} of VCO15 and the frequency f_{r1} of the first clock of criteria is $f_{vo} = (N/K)$ and $K \cdot f_{r1}$. (several 5)

It becomes. Although this N/K generally becomes nonintegral, the truncation error by sampling is not accumulated by asking for the difference of a phase, i.e., a differential phase. Consequently, the output of the integrator 19 which integrated with the output of the differential phase comparator 18 over round term of arbitration $1/f_{r1}$ serves as zero, as shown in a table 2. That is, the 2nd object of this invention can be attained.

[0081] Drawing 6 is an example at the time of using the numerical-control oscillator which has the adjustable number-of-steps value N_s as a saw-tooth wave serration signal generator 16 shown in drawing 1. The frequency synthesizer 40 has the criteria oscillator 11, the clock generation section 14, VCO15, a prescaler 41, the numerical-control oscillator differential phase generating section 47, the differential phase comparator 18, an integrator 19, the signal-processing section 20, and D/A converter 21. This example is considered as the same configuration as the example of drawing 2 except for a prescaler 41 and the numerical-control oscillator differential phase generating section 47. Moreover, the frequency of the criteria oscillator 11 and the various clocks which the clock generation section 14 generates presupposes that it is the same as drawing 2. The prescaler 41 which has the number C of dividing carries out dividing of the output signal of VCO15 which has a frequency f_{vo} , and outputs the dividing clock CP on a line S41.

[0082] A numerical-control oscillator repeats the actuation which accumulates the number-of-steps value N_s between round term $1/f_{r(s)1}$ with the dividing clock CP. If this accumulation maximum is set to N , the number-of-steps value N_s will be given by several 6.

[0083]

[Equation 6]

$N_s = N / [(f_{vo}/C) (1/f_{r1})]$ (several 6)

Therefore, in order to change the oscillation frequency f_{vo} of VCO15, Above N is set constant and the number-of-steps value N_s is changed. Here, if 1GHz and the number C of dividing are set to 64 and a frequency f_{vo} sets a frequency f_{r1} to 12.5kHz, the value of a denominator shown in several 6 will be set to 1250. For example, it will be set to $N_s = 220$ if $N = 1250 \times 220$. The content of accumulation of this numerical-control oscillator can be sampled for every frequency $K \cdot f_r$, and a differential phase can be searched for by the circuit equivalent to the sampling differential phase generating section 17 in the example shown in drawing 2. However, the example shown in drawing 6 searches for a differential phase by the prescaler differential phase generating section 37 of the example shown in drawing 5, and the similar numerical-control oscillator differential phase generating section 47.

[0084] The numerical-control oscillator differential phase generating section 47 has the adder 471, the register 472, the flip-flop 473, and the multiplier 474. The numeric value N_s of 20 figures on the bus BI1 from the interface section 22 is inputted into 20 figures of low order of the 26-figure adder 471. The addition output of an adder 471 is inputted into D input terminal of a register 472 through the bus B471 of 26 figures. With the clock CP on the line S41 inputted into C terminal, D input terminal signal of the 26-figure register 472 is transmitted to Q terminal, and is outputted to the 26-figure bus B472. The signal on a bus B472 is inputted into another input terminal of an adder 471. Moreover, with the clock f_{r21} on the line T1 which is inputted into D terminal of the 26-figure flip-flop 473, and is inputted into

C terminal, the signal on a bus B472 is transmitted to Q terminal, and is outputted to the 26-figure bus B473. After this clock Fr21 is inputted into a flip-flop 473, a selector 472 is reset with the clock Fr22 on the line T2 inputted into R terminal. Consequently, the signal on a bus B473 serves as a value which accumulated the numeric value N_s between a period $1/fr_2$ with Clock CP. In this example, since the frequency of Clock CP is a little less than 16MHz and a frequency fr_2 is 400kHz, the digit count of an adder 471 and a register 472 becomes 26 figures. A multiplier 474 carries out the multiplication of $K=25$ to the signal on a bus B473, and outputs a multiplication result to the 31-figure bus B47. The function of a multiplier 474 is realizable by shifting 5 figures to the high order on a bus B473, and outputting to a bus B47. Serration signal differential phase information ΔV on a bus B47 is supplied to a differential phase comparator.

[0085] In this example, $N=1250 \times 220$ drawn from several 4 as reference signal differential phase ΔR is used. When using $N/K=1250 \times 215$ as reference signal differential phase ΔR , the multiplier 474 of the above-mentioned example can be omitted. Moreover, in a certain application system, the comparison result outputted from the differential phase comparator 18 can omit 5 bits of this high order, when 5 bits of high orders do not change. Furthermore, according to the frequency fluctuation of a synthesizer based on the quantization error permitted by the system, a number of bits of a lower bit are omissible. In this example, the number of bits of a bus B18 was made into 20 figures these results, for example.

[0086] If a frequency f_{vo} takes the various values of $n \cdot fr_1$ (however, n natural number) in the example shown in drawing 6 even when $C=1$ [41], i.e., a prescaler, is bypassed even if, from several 6, generally the number-of-steps value N_s becomes nonintegral, and cannot be expressed with the finite word length. That is, the 3rd object of this invention cannot be attained. However, it is the same as the example shown in drawing 2, drawing 4, and drawing 5 that the example shown in drawing 6 can attain the 1st and 2nd objects of this invention.

[0087] Determining the number of bits of the component circuit in the above example, for example, the number of bits of a counter and a D/A converter, depending on the system which applies the frequency synthesizer by this invention, the number of bits of an example is only an example. Moreover, although the operation in an example is performed by the binary number operation, it is clear that this invention is effective also in the operation which uses the number of arbitration as a bottom. Moreover, it is the range which does not deviate from the idea of this invention, and it is also clear that the configuration of each part circuit can be changed.

[0088] Below, the block diagram at the time of using the frequency synthesizer by this invention for a communication device is shown in drawing 5.

[0089] The communication device 50 shown in drawing 7 is equipped with the above-mentioned frequency synthesizer 30, the transmitting section 501 which transmits information based on the oscillation signal from a frequency synthesizer 30, the receive section 502 which receives information based on the oscillation signal from a frequency synthesizer 30, and the device control section 503 for controlling transfer and the frequency synthesizer of the information on said transceiver section. Moreover, it has further the splitter 504 for separating spectrally the antenna 505 used for transmission and reception, and a sending signal and an input signal. The device control section 503 can give the number N of dividing for changing an oscillation frequency to a frequency synthesizer, and initial value θ_{tai} including the above-mentioned microprocessor. Moreover, the device control section 503 can carry out control of the transmitting section 501 and a receive section 502 if needed, and contains a man machine interface. The transmitting section 501 and a receive section 502 can transmit and receive according to the oscillation signal from a frequency synthesizer 30, respectively.

[0090] The frequency synthesizer by this invention fits the migration communication device which needs a high-speed frequency change. According to this invention, a high-speed frequency change is attained and it is effective in equipment smaller than the equipment with which the frequency change formed the late frequency synthesizer in two-set juxtaposition, made it operate by turns, and attained improvement in the speed being realizable.

[0091] Moreover, it is obvious that the frequency synthesizer by this invention is applicable to various equipments, such as a measuring device.

[0092] Furthermore, according to this invention, most frequency synthesizers are digital circuits and all LSI-izing or LSI-izing of the part except VCO is possible. Therefore, it is effective in a small frequency synthesizer or the small equipment which applied it being realizable.

[0093]

[Effect of the Invention] Since according to the phase-locked loop configuration technique which compares the differential phase of two signals of this invention the phase jump of 2π produced in a phase error signal is lost when the phase of two signals is compared directly, there is effectiveness which can make circuit magnitude small. Moreover, since the average over a round period of a reference signal serves as zero, without accumulating when the quantization error by asynchronous sampling also takes a differential phase, the frequency synthesizer which generates an exact and stable frequency is realizable.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The electrical potential difference/current-controlled oscillator which controls an oscillation frequency by the electrical potential difference or the current, and outputs an oscillation signal, In the frequency synthesizer which has the criteria oscillator which outputs the reference signal of a predetermined frequency, constitutes a phase-locked loop, and controls an oscillation frequency A reference signal differential phase generating means to extract topology from the reference signal of said criteria oscillator, and to output in quest of a differential phase, An oscillation signal differential phase generating means to extract topology from the oscillation signal of said electrical potential difference/current-controlled oscillator, and to output in quest of a differential phase, The differential phase comparator which outputs this differential phase difference in quest of the difference of the differential phase from said reference signal differential phase generating means, and the differential phase from said oscillation signal differential phase generating means, The frequency synthesizer characterized by having the integrator which integrates with said differential phase difference and is outputted in quest of a phase error, the signal-processing section which carries out signal processing to the output signal of said integrator, and the converter which changes the output signal of said signal-processing section into an electrical potential difference or a current.

[Claim 2] It is the frequency synthesizer which said oscillation signal differential phase generating means samples the oscillation signal of said electrical potential difference/current-controlled oscillator, extracts topology, makes topology a saw tooth waveform in claim 1, and is characterized by having the serration signal generator generated repeatedly and the serration signal differential phase generating section outputted in quest of a differential phase based on the topology of the saw tooth waveform of said serration signal generator.

[Claim 3] In claim 2, said serration signal generator is repeat frequency f_r (however, f_r frequency of arbitration) based on said oscillation signal. H (however, H natural number) time sampling is carried out per period, topology is made into a saw tooth waveform, and a serration signal is outputted. Said serration signal differential phase generating section The topology in which the serration signal from said serration signal generator gets mixed up is compared, and differential phase information is outputted in quest of a differential phase. Said reference signal differential phase generating means The serrate reference signal generating section which samples the reference signal of said criteria oscillator, extracts topology, makes topology a saw tooth waveform, and is generated repeatedly, Based on the topology of the saw tooth waveform of said serrate reference signal generating section, it has the reference signal differential phase generating section outputted in quest of a differential phase. Said serrate reference signal generating section Based on said reference signal, it samples H times per period, topology of a reference signal is made into a saw tooth waveform with repeat frequency f_r , and a serration signal is outputted. Said reference signal differential phase generating section The frequency synthesizer characterized by comparing the topology in which the serration signal from said serrate reference signal generating section gets mixed up, and outputting differential phase information in quest of a differential phase.

[Claim 4] In claim 2, a serration signal generator is based on said oscillation signal, and it is repeat frequency $fr1$ (however, $fr1$). the time of setting to fv the frequency which you want to oscillate in an electrical potential difference/current-controlled oscillator -- the relation of $fv=N\cdot fr1$ -- it is -- N set up in order to determine the oscillation frequency of the oscillation signal of per period, and said electrical potential difference/current-controlled oscillator Time sampling is carried out, topology is made into a saw tooth waveform, and a serration signal is outputted. (However, N natural number) The serration signal differential phase generating section The serration signal from said serration signal generator $1/(mKfr1)$ of periods Sample and topology is extracted. (However, K and m natural number) every -- It is the frequency synthesizer characterized by doubling, outputting differential phase information and the reference signal differential phase generating section outputting mN as differential phase information mK about the differential phase which compared the topology which gets mixed up, searched for the differential phase, and was searched for.

[Claim 5] It is the frequency synthesizer characterized by outputting a carry when said serration signal generator is equipped with the counting-down circuit of the number N of dividing, a counting-down circuit repeats counting to N in claim 4, enumerated data are outputted and counting is carried out to N , and said serration signal differential phase generating section outputting the difference which amended it as serration signal differential phase information when a carry is outputted from said counting-down circuit.

[Claim 6] In claim 2, a serration signal generator is based on said oscillation signal, and it is repeat frequency $fr1$ (however, $fr1$). the time of setting to fv the frequency which you want to oscillate in an electrical potential difference/current-controlled oscillator -- the relation of $fv=N\cdot fr1$ -- it is -- N set up in order to determine the oscillation frequency of the oscillation signal of per period, and said electrical potential difference/current-controlled oscillator Time sampling is carried out and the serration signal which has the saw tooth waveform of the maximum topology CN (however, C natural number) is outputted. (However, N natural number) The serration signal differential phase generating section The serration signal from said serration signal generator $1/(Kfr1)$ of periods (However, K natural number) every -- the frequency synthesizer characterized by it sampling, extracting topology, comparing the topology which gets mixed up, K doubling the differential phase which searched for and searched for the differential phase, outputting differential phase information, and the reference signal differential phase generating section outputting CN as differential phase information.

[Claim 7] In claim 2, a serration signal generator is based on said oscillation signal, and it is repeat frequency $fr1$ (however, $fr1$). the time of setting to fv the frequency which you want to oscillate in an electrical potential difference/current-controlled oscillator -- the relation of $fv=N\cdot fr1$ -- it is -- N set up in order to determine the oscillation frequency of the oscillation signal of per period, and said electrical potential difference/current-controlled oscillator Time sampling is carried out and the serration signal which has the saw tooth waveform of maximum topology $mC\cdot N$ (however, C and m natural number) is outputted. (However, N natural number) The serration signal differential phase generating section The serration signal from said serration signal generator $1/(mKfr1)$ of periods Sample, extract topology, compare the topology which gets mixed up, and a differential phase is searched for. (However, K natural number) every -- It is the frequency synthesizer characterized by doubling, outputting differential phase information and the reference signal differential phase generating section outputting mCN as differential phase information mK about the differential phase searched for.

[Claim 8] The number Nd of adjustable dividing which carries out dividing of the output to the prescaler to which said serration signal generator makes said C the number of dividing in claim 6 However, Nd is a prescaler type variable divider equipped with the modulo Nd counter of natural number) which has number $Nt=C\cdot Nd$ of comprehensive dividing. (-- said reference signal differential phase generating section Said number $Nt=C\cdot Nd$ of dividing is outputted as differential phase information. Said serration signal differential phase generating section The frequency synthesizer characterized by K Doubling the value to which said frequency $fr2$ carried out round period accumulation of said number C of dividing by using the output signal of said prescaler as a clock, and outputting as differential phase information.

[Claim 9] 2 modulus prescaler in which said serration signal generator has dividing several $P1=CP$

(however, P natural number) and dividing several $P2=C(P+1)$ in claim 6, It has the Maine counter of the number M of good variations peripheries, and the swallow counter of the number S of good variations peripheries. It is the pulse swallow type variable divider which has comprehensive dividing number $Nt=P2, S+P1$, and $(M-S)=C(PM+S) \cdot C-Nd$. Said reference signal differential phase generating section Said number $Nt=CNd$ of dividing is outputted as differential phase information. Said serration signal differential phase generating section The output signal of said 2 modulus prescaler is used as a clock. The frequency synthesizer characterized by K Doubling the value to which said frequency $fr2$ carried out round period accumulation of said P1 or P2 dividing according to the number selection signal of dividing which returns from said swallow counter to said 2 modulus prescaler, and outputting as differential phase information.

[Claim 10] In claim 6, said serration signal generator is a prescaler which makes said C the number of dividing and which carries out dividing. Said serration signal differential phase generating section It is the numerical-control oscillator which has the adjustable number-of-steps value Ns (however, Ns is expressed with $Ns=C-N \cdot fr1/fv$). Said numerical-control oscillator The frequency synthesizer which uses as a clock the signal in which said serration signal generator carried out dividing, and is characterized by accumulating the adjustable number-of-steps value Ns , sampling to every periodic $1/(Kfr1)$ (however, K natural number), K Doubling the differential phase which searched for and searched for the differential phase, and outputting as differential phase information.

[Claim 11] In claim 6 said serration signal differential phase generating section It is the numerical-control oscillator which has the adjustable number-of-steps value Ns (however, Ns is expressed with $Ns=C-N \cdot fr1/fv$). Said numerical-control oscillator The frequency synthesizer which uses said oscillation signal as a direct clock, and is characterized by accumulating the adjustable number-of-steps value Ns , sampling to every periodic $1/(Kfr1)$ (however, K natural number), K Doubling the differential phase which searched for and searched for the differential phase, and outputting as differential phase information.

[Claim 12] It is the frequency synthesizer characterized by for said signal-processing section performing processing which filters the output signal from said integrator in claims 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, or 11, and outputting.

[Claim 13] It is the frequency synthesizer characterized by for said signal-processing section performing processing which adds initial value to an output signal from said integrator in claims 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, or 11, and outputting.

[Claim 14] The semiconductor integrated circuit characterized by building in some of frequency synthesizers [at least] according to claim 12 or 13.

[Claim 15] The frequency synthesizer which outputs the oscillation signal of the directed frequency, and the transmitting section which transmits information based on the oscillation signal from a frequency synthesizer, In a communication device equipped with the receive section which receives information based on the oscillation signal from a frequency synthesizer, and the control section which controls said frequency synthesizer, said transmitting section, and said receive section Said frequency synthesizer is based on said oscillation signal, and is repeat frequency $fr1$ (however, $fr1$). the time of setting the directed frequency to fv -- the relation of $fv=N \cdot fr1$ -- it is -- N set up in order to determine the directed oscillation frequency per period Time sampling is carried out and topology is outputted. (However, N natural number) Topology Compare the topology which samples and gets mixed up in every periodic $1/(mKfr1)$ (however, K and m natural number), and a differential phase is searched for. The communication device characterized by controlling the frequency of an oscillation signal by doubling the differential phase searched for mK , outputting differential phase information, comparing this differential phase information with mN which is a criteria differential phase, searching for a differential phase difference, integrating with this differential phase difference and searching for a phase error.

[Claim 16] The electrical potential difference/current-controlled oscillator which controls an oscillation frequency by the electrical potential difference or the current, and outputs an oscillation signal, It is the frequency control approach in the frequency synthesizer which has the criteria oscillator which outputs the reference signal of a predetermined frequency, constitutes a phase-locked loop, and controls an

oscillation frequency. It is based on said oscillation signal and is repeat frequency $fr1$ (however, $fr1$). the time of setting the directed frequency to fv -- the relation of $fv=N-fr1$ -- it is -- N set up in order to determine the directed oscillation frequency per period Time sampling is carried out and topology is outputted. (However, N natural number) Topology Compare the topology which samples and gets mixed up in every periodic $1/(mKfr1)$ (however, K and m natural number), and a differential phase is searched for. The differential phase searched for mK by doubling, outputting differential phase information, comparing this differential phase information with mN which is a criteria differential phase, searching for a differential phase difference, integrating with this differential phase difference and searching for a phase error The frequency control approach in the frequency synthesizer characterized by controlling the frequency of an oscillation signal.

[Translation done.]